



①9 BUNDESREPUBLIK  
DEUTSCHLAND



DEUTSCHES  
PATENTAMT

⑫ Patentschrift  
⑩ DE 42 44 696 C 2

⑤1 Int. Cl.<sup>8</sup>:  
H 03 K 5/13

②1 Aktenzeichen: P 42 44 696.1-31  
②2 Anmeldetag: 20. 10. 92  
④3 Offenlegungstag: 6. 5. 93  
④5 Veröffentlichungstag  
der Patenterteilung: 18. 5. 95

DE 42 44 696 C 2

Innerhalb von 3 Monaten nach Veröffentlichung der Erteilung kann Einspruch erhoben werden

③0 Unionspriorität: ③2 ③3 ③1

01.11.91 US 786447      01.11.91 US 786695  
01.11.91 US 786459      01.11.91 US 786690  
01.11.91 US 786633

⑦3 Patentinhaber:

Hewlett-Packard Co., Palo Alto, Calif., US

⑦4 Vertreter:

Schoppe, F., Dipl.-Ing.Univ., Pat.-Anw., 82049 Pullach

⑥2 Teil aus: P 42 35 317.3

⑦2 Erfinder:

Guitierrez jun., Alberto, Fort Collins, Col., US;  
Koerner, Chris, Longmont, Col., US; Goto,  
Masaharu, Hanno, Saitama, JP; Barnes, James  
Oliver, Fort Collins, Col., US

⑤6 Für die Beurteilung der Patentfähigkeit  
in Betracht gezogene Druckschriften:

DE 30 08 919 C2  
DE 41 04 329 A1  
DE 40 09 730 A1  
DE 37 15 227 A1  
DE 32 17 050 A1  
DE-OS 28 51 519  
DE-OS 28 03 396  
DE-OS 20 59 434  
GB 21 34 732 A  
US 44 88 062  
DP 02 64 470 A1

N.N.: Integrated PIN Electronics for a VLSI Test  
System, In: IEEE International Test Conference 1988,  
S. 23-27;

⑤4 Verfahren zum Kalibrieren einer steuerbaren Verzögerungsschaltung

⑤7 Eine Zeitfeineinstellvorrichtung bewirkt eine feine zeitliche Steuerung eines Eingangssignals mit groben zeitlichen Flanken. Die Zeiteinstellvorrichtung umfaßt eine Empfängeranordnung zum Empfangen eines Wertes, der eine gewünschte Verzögerungsdauer darstellt, die auf das Eingangssignal mit den groben zeitlichen Flanken auszuüben ist. Die gewünschte Zeitverzögerung kann sowohl feine als auch grobe Verzögerungsaspekte haben. Die Zeitfeineinstellvorrichtung umfaßt gleichfalls eine erste Decodereinrichtung zum Decodieren des feinen Verzögerungsaspektes und zum Schaffen von Steuersignalen für die feine Verzögerung wie auch eine zweite Decodereinrichtung zum Decodieren eines groben Verzögerungsaspektes und zum Schaffen von Steuersignalen für die grobe Verzögerung. Eine Verzögerungsleitung ist innerhalb der Zeitfeineinstellvorrichtung enthalten, welche Eingänge hat, denen das Eingangssignal mit den groben zeitlichen Flanken, Steuersignale für die feine und grobe Verzögerung und eine Steuerspannung zugeführt werden, die automatisch Temperatur- und Leistungsversorgungs-Variationen einstellt, um eine Temperatur- und Leistungsversorgungs-Kompensation zu bewirken. Die Verzögerungsleitung kombiniert die Verzögerungssignale für die grobe und feine Verzögerung und schafft ein Ausgangssignal mit feinen zeitlichen Flanken. Die Schaltungsarchitektur des Erfindungsgegenstandes ermöglicht ein automatisiertes Verfahren der Kalibrierung zur Anpassung der feinen und groben ...

DE 42 44 696 C 2

## Beschreibung

Die vorliegende Erfindung bezieht sich auf ein Verfahren zum Kalibrieren einer steuerbaren Verzögerungsschaltung für die einstellbare zeitliche Verzögerung der positiven und/oder negativen Flanken eines Eingangssignales in Abhängigkeit von Verzögerungssteuerdaten, die wenigstens einen ersten Datenwert für einen fein unterteilten Verzögerungsbereich und einen zweiten Verzögerungsdatenwert für einen grob unterteilten Verzögerungsbereich umfassen.

Ferner bezieht sich die Erfindung auf ein Verfahren zum Kalibrieren einer Zeitfeineinstellvorrichtung, die zur fein einstellbaren zeitlichen Verzögerung der positiven und/oder negativen Flanken eines Eingangssignales dient, wie sie bei Computertestsystemen für die Überprüfung integrierter Schaltungen auf ein System zum Addieren einer zeitlichen Verzögerung auf ein Eingangssignal eingesetzt wird. Das sich ergebende Signal ist stabil, (d. h. es hat lediglich eine geringe Drift oder Schrägheit) bezüglich Änderungen der Versorgungsleistung und der Temperatur.

Ein Aspekt der Testsystementwicklung betrifft die Konstruktion von Vektor-Formatierern. Ein Vektor-Formatierer erzeugt grobe zeitliche Flanken, die für die Überprüfung integrierter Schaltungen verwendet werden. Die Erfinder des vorliegenden Anmeldungsgegenstandes haben früher einen Vektor-Formatierer entworfen, der Spezifikationen von hohen Anforderungen erfüllt, wie beispielsweise die Spezifikationen einer niedrigen Schrägheit oder Drift oder eines niedrigen Zitterns bzw. einer niedrigen Instabilität innerhalb der kritischen Signalwege der integrierten Schaltungsvorrichtung. Die groben zeitlichen Flanken, die durch Vektor-Formatierer erzeugt werden, erfordern jedoch allgemein eine gewisse Feinabstimmung.

Die Probleme, die mit bisherigen Entwürfen einhergehen, werden unter Bezugnahme auf eine Implementierung verdeutlicht, bei der die Feinabstimmung durch Treiben des Ausgangssignales des Vektor-Formatierers in einer Zeitfeineinstellvorrichtung des Types BT605 von der Firma Brooktree Corporation, San Diego, CA erhalten wird. Diese Zeitfeineinstellvorrichtung des Types BT605 bewirkt eine Feinzeiteinstellung bezüglich der Flankenzeitdrift bzw. der relativen Zeiten zwischen den einzelnen Flanken des Eingangssignalverlaufes. Da diese BT605-Zeitfeineinstellvorrichtung in Bipolartechnologie implementiert ist, erfordert diese Konstruktion hohe Leistungsanforderungen verglichen mit einer CMOS-Implementierung.

Ferner ist die Bipolarlösung unter Verwendung der BT605-Zeitfeineinstellvorrichtung in ihrer Bandbreite aufgrund der Rampen-Komparator-Technik begrenzt. Diese Rampen-Komparator-Technik umfaßt das Laden eines Kondensators mit einem Konstantstrom zum Erzeugen einer Spannungsrampe, die anschließend unter Verwendung eines Komparators mit einer Bezugsspannung verglichen wird. Das Erfordernis der Entladung des Kondensators zwischen den Flanken führt zu einer begrenzten Bandbreite.

Ferner erfordert diese BT605-Zeitfeineinstellvorrichtungs-Implementierung N Schaltungen des Types BT605, wobei N die Anzahl der funktionalen Testpins multipliziert mit der Anzahl der Datenformattypen pro Flanke ist. Die Erfordernisse hinsichtlich der Leistung und des Raumes dieser Bipolarimplementierung sind daher mit dem Faktor N zu multiplizieren.

Diese Leistungs- und Raum-Anforderungen könnten erheblich vermindert werden, wenn die Bipolar-Zeitfeineinstellvorrichtung vermieden wird und wenn die Funktionen des Vektor-Formatierers und der Zeitfeineinstellvorrichtung auf einer Siliziumscheibe integriert werden, welche unter Verwendung der CMOS-Technologie hergestellt wird. Die Herausforderung bei der Konstruktion eines derartigen Systemes liegt in der Konstruktion einer Zeitfeineinstellvorrichtung unter Verwendung von CMOS-Technologie, das zumindest den Eigenschaften eines Systemes in konventioneller Bipolartechnologie gleichkommt. Diese Zielsetzung ist eine Herausforderung, da man üblicherweise die Bipolartechnologie hinsichtlich der höheren Bandbreite als der CMOS-Technologie überlegen ansieht. Obwohl gewisse CMOS-Zeitfeineinstellkonstruktionen existieren, die eine zeitliche Feineinstellung bei groben zeitlichen Flanken vornehmen, sind deren Leistungsfähigkeit in Hinblick auf Drift und Instabilität unzureichend. (In diesem Zusammenhang wird verwiesen auf die Fachveröffentlichung von Branson et al. "Integrated PIN Electronics for a VLSI Test System", IEEE International Test Conference 1988, Seiten 23 bis 27.) Diese bestehenden CMOS-Konstruktionen verwenden Vielfachverzögerungselemente, die mit einem Abgriff versehen sind oder in einer Multiplex-Art ausgeführt sind, um die gewünschte Verzögerung zu erzielen. Redundante Hardware Elemente und große RAM-Speicher mit Festwertzugriffstabellen werden für die Kalibrierung benötigt. Da die Leistungsdaten hinsichtlich der Drift und der Linearität derartiger CMOS-Integrationen von Verzögerungsleitungen nicht den Marktanforderungen entsprechen, werden solche CMOS-Konstruktionen nur bei Systemen mit niederen Leistungsdaten eingesetzt. Bislang wurden für die Erzeugung einer feinen Zeiteinstellung mit hohen Leistungsdaten Bipolaruntersysteme verwendet, die eine hohe Leistungsaufnahme haben.

Die DE-OS-28 51 519 zeigt eine einstellbare Verzögerungsschaltung mit einem Grobeinsteller und mehreren Feineinstellern, die bezüglich des zu verzögernden Signales hintereinander geschaltet sind. Schaltungstechnische Details sind dieser Schrift nicht zu entnehmen. Typischerweise werden derartige Verzögerungsleitungen in Bipolartechnik realisiert. Die normale Realisierungsart in Bipolartechnik erfordert eine Rampen-Komparator-Technik mit sehr begrenzter Bandbreite und hoher Leistungsaufnahme.

Der vorliegenden Erfindung liegt die Aufgabe zugrunde, ein Verfahren zum Kalibrieren einer Zeitfeineinstellvorrichtung, die zur fein einstellbaren zeitlichen Verzögerung der positiven und/oder negativen Flanken eines Eingangssignales dient, zu schaffen.

Diese Aufgabe wird durch ein Verfahren gemäß Anspruch 1 gelöst.

Die vorliegende Erfindung schafft eine automatische Kalibrierung von Herstellungsprozeßvariationen und Photolithographie-Variationen, die über den integrierten Schaltchip auftreten. Der Kalibrierungsprozeß wird durch ein Kalibrierungsaufzeichnungsgerät gesteuert, welches eine Mittelung von Daten ermöglicht, um in statistischer Weise die Kalibrierungsgenauigkeit zu verbessern. Ferner sind das Kalibrierungsaufzeichnungsge-

rät und die Verzögerungsleitung derart angeordnet, daß die Schaltung in indirekter Weise ihre eigene Verzögerung bezüglich einer genauen Zeitflanke messen kann, so daß sie ihren eigenen Betrieb während des Herstellungstests überwacht.

Bevorzugte Ausführungsbeispiele der vorliegenden Erfindung werden nachfolgend unter Bezugnahme auf die beiliegenden Zeichnungen näher erläutert. Es zeigen:

Fig. 1 ein Blockdiagramm auf hohem Niveau eines Zeitfeineinstellsystemes;

Fig. 2 ein Blockdiagramm auf hohem Niveau von einem der in Fig. 1 gezeigten Zeitfeineinstelluntersystemen;

Fig. 3 ein Blockdiagramm eines der Verzögerungselemente gemäß Fig. 2;

Fig. 4 ein Blockdiagramm eines Digital-Analog-Wandlersystemes (DAW-Systemes);

Fig. 5 ein repräsentatives logisches Diagramm eines Pseudo-NMOS-Verzögerungselementes;

Fig. 6 ein repräsentatives logisches Diagramm eines Pseudo-PMOS-Verzögerungselementes;

Fig. 7 ein repräsentatives logisches Diagramm einer Verzögerungsleitung;

Fig. 8 ein repräsentatives logisches Diagramm eines verdrahteten ODER-Multiplexers;

Fig. 9 ein Blockdiagramm einer Zeitfeineinstellvorrichtung;

Fig. 10 ein Flußdiagramm eines bevorzugten Verfahrens einer PCNTRL-Signalkalibrierung, die bei einem bevorzugten Ausführungsbeispiel der Erfindung verwendet wird;

Fig. 11 ein Flußdiagramm eines bevorzugten Verfahrens einer Feinverzögerungskalibrierung, die bei einem bevorzugten Ausführungsbeispiel der Erfindung verwendet wird; und

Fig. 12 ein Flußdiagramm eines bevorzugten Verfahrens einer Grobverzögerungskalibrierung, die bei einem bevorzugten Ausführungsbeispiel der Erfindung verwendet wird.

Das Verfahren gemäß der Erfindung dient zur Schaffung einer programmierbaren Verzögerungsleitung für ein oder mehrere Eingangssignale mit groben zeitlichen Flanken. Die programmierbare Verzögerung ist in der ersten Ordnung stabil bezüglich Schwankungen der Leistungsversorgung und der Temperaturen. Diese Stabilität ist erforderlich, um das Verhalten der zu testenden Schaltung von dem Verhalten des Testgerätes selbst zu isolieren. Insbesondere wird eine verminderte Drift für die logischen Elemente erhalten, die in CMOS-Technologie unter Verwendung von Pseudo-NMOS-(n-Kanal-MOS)-Feldeffekttransistor-(FET)-Schaltungen implementiert sind.

Der Erfindungsgegenstand findet Anwendungen in elektronischen Geräten, bei denen die zeitliche Lage der ansteigenden oder fallenden Flanke eines Signales kritisch ist. Ein Ausführungsbeispiel eines derartigen Anwendungsfalles betrifft ein Computertestsystem, welches für die Überprüfung bzw. das Testen integrierter Schaltungen eingesetzt wird.

Der Erfindungsgegenstand wird nunmehr unter Bezugnahme auf die Blockdiagramme der Fig. 1 bis 12 erläutert.

In der folgenden Beschreibung seien unter Eingangssignalen mit groben zeitlichen Flanken solche verstanden, deren Flanken in ihrer zeitlichen Lage driften.

Fig. 1 zeigt ein Blockdiagramm mit einer Struktur auf hohem Niveau bezüglich eines Zeitfeineinstellsystemes 101, welches verwendet wird, um eine veränderliche Anzahl (n) von genau gesteuerten Ausgangssignalen 102 mit fein abgestimmten zeitlichen Flanken aufgrund einer veränderlichen Anzahl (n) von Eingangssignalen 103 mit groben zeitlichen Flanken zu schaffen.

Das System besteht aus zwei grundlegenden Schaltungsblöcken: einem Stromspiegel-Digital-Analog-Wandler (DAW) 104 und einem oder mehreren Zeitfeineinstellblöcken 106, 108, 110, die mit den Bezugszeichen TV<sub>1</sub>, TV<sub>2</sub> und TV<sub>n</sub> bezeichnet sind. Jede Zeitfeineinstellschaltung 106 bis 110 kann verwendet werden, um ein Eingangssignal 103 zu verzögern, um ein zeitlich verzögertes Ausgangssignal 102 zu schaffen. Die n-Eingangssignale 103 werden einer der Zeitfeineinstellvorrichtungen 106, 108, 110 zugeführt, um die groben zeitlichen Flanken einzustellen, um n-Ausgangssignale 102 mit feinen zeitlich abgestimmten Flanken zu schaffen.

Der Stromspiegel-DAW 104 erzeugt ein Spannungssignal (PCNTRL) 112, welches automatisch Temperaturschwankungen und Leistungsversorgungsschwankungen kompensiert, wie nachfolgend detailliert unter Bezugnahme auf Fig. 4 erläutert werden wird. Der Stromspiegel-DAW 104 ist derart programmierbar, daß das PCNTRL-Signal 112 so eingestellt werden kann, daß eine Verzögerungssteuerung geschaffen wird. Diese Steuerung kann auch verwendet werden, um Prozeßvariationen einzustellen. Das PCNTRL-Signal wird jeder Zeitfeineinstellvorrichtung 106, 108, 110 zugeführt, die auf dem Chip des Zeitfeineinstellsystemes 101 angeordnet sind.

Fig. 2 zeigt ein Blockdiagramm eines Zeitfeineinstelluntersystemes 106 und seiner Unterstützungsschaltung. Wie in Fig. 2 dargestellt ist, empfängt das Zeitfeineinstelluntersystem 106 das PCNTRL-Signal 112 und das Dateneingangssignal 203 und liefert ein Datenausgangssignal 204 als Ergebnis der Funktionalität der Zeitfeineinstellvorrichtung und der Unterstützungsschaltung. Insbesondere umfaßt die Unterstützungsschaltung für die Zeitfeineinstellvorrichtung 106 eine Verzögerungsleitung 206. Die Verzögerungsleitung 206 umfaßt einen Block 208, der einen oder mehrere Verzögerungselementblöcke 210, 212, 214 und einen verdrahteten ODER-Multiplexer 215 umfaßt. Der verdrahtete ODER-Multiplexer 215 ist elektrisch mit den Verzögerungselementen 210 bis 214 über Verbindungen 216 gekoppelt. Die speziellen Eigenschaften der Verzögerungselemente 210, 212 und 214 sowie der Verzögerungsleiter 206 werden nachfolgend unter Bezugnahme auf die Fig. 5 und 6 sowie unter Bezugnahme auf die Fig. 7 und 8 detailliert erläutert.

Fig. 3 zeigt ein Blockdiagramm eines der Verzögerungselemente 210, die in dem Block 208 enthalten sind. Das Verzögerungselement 210 bewirkt mittels einer digitalen Steuerung die Hinzufügung von Kapazitäten von äußerst geringen Beträgen, um feinabgestuft eine Verzögerung des Eingangssignales 203 zu bewirken. Das Verzögerungselement 210 empfängt das PCNTRL-Signal 112 und das Eingangssignal 203 sowie das Steuerbus-eingangssignal 306. Das PCNTRL-Signal 112 wird als Spannung einem Pseudo-NMOS-Inverter 307 zugeführt, der dieses invertiert und das Eingangssignal 203 puffert.

Ein Satz von Kondensatorbankschaltungen 308 ist mit einem inneren Knoten 310 verbunden. Die Kondensatorbankschaltungen 308 liefern programmierbare Kapazitäten an den inneren Knoten 310. Daher können kleine Beträge der Kapazitäten an den inneren Knoten 310 über eine digitale Steuerung addiert werden. Insbesondere werden die Kondensatorbankschaltungen 308 über eine binäre Schaltung und Thermometerdecoder-Logikschaltung 312, welche über den Steuerbuseingang 306 angeschlossen ist, abgestimmt. Die Decoderlogikschaltung 312 legt ein binäres Steuersignal an die Kondensatorbankschaltung 308 entsprechend eines speziellen digitalen Eingangssignales an, welches durch den speziellen Anwendungsfall bestimmt wird. Die Decoderlogikschaltung 312 liefert eine zusätzliche Thermometerdecodierung zur Steuerung weiterer Kondensatorschaltungsbanken, um Nichtlinearitäten in der Schaltung zu vermindern. Der Knoten 310, an den eine bestimmbare Menge von Kapazitäten von der Kondensatorschaltungsbank 308 angelegt wird, wird verwendet, um einen zweiten Pseudo-NMOS-Inverter 314 zu steuern, der gleichfalls das PCNTRL-Signal 112 als Steuerspannung empfängt. Das vorliegende Signal an dem Knoten 310 wird wiederum durch den Inverter 314 invertiert, um ein verzögertes, fein abgestimmtes Ausgangssignal 318 zu schaffen, das den gleichen logischen Zustand wie das Eingangssignal 203 hat.

Da der DAW 104 zu einer stabilen Feststromquelle in Bezug gesetzt ist, wie nachfolgend detailliert erläutert wird, bewirkt das PCNTRL-Signal 112 eine automatische Anpassung hinsichtlich Temperaturvariationen und Leistungsversorgungsvariationen. Mit anderen Worten wird unter einer theoretischen Betrachtung eine "feste" Verzögerung unabhängig von Leistungsversorgungsvariationen und Temperaturvariationen geschaffen, wodurch dem System eine einzigartige Methode der Temperaturkompensation und Leistungsversorgungskompensation verliehen wird.

Ein repräsentatives Logikdiagramm des DAW 104 gemäß der vorliegenden Erfindung wird nachfolgend unter Bezugnahme auf Fig. 4 erläutert. Der DAW 104 ist gemäß dieser Darstellung mit einem programmierbaren Pseudo-NMOS-(PNMOS)-Kapazitätsverzögerungselement 210 über eine Spannungssteuerung oder ein PCNTRL-Signal 112 verbunden, das von einem Knoten 108 als Abgriff abgeleitet wird. Der DAW 104 umfaßt einen PMOS-FET 410, dessen Gate und Drain mit Analogstromquelle 412 verbunden sind. Diese Verbindungen schaffen den Knoten 408, der eine automatische Einstellung bewirkt, um eine Spiegelung der gleichen Stromgröße ( $I_{ref}$ ) vorzunehmen, welche durch die Stromquelle 412 zugeführt wird.

Eine Mehrzahl von PMOS-FET-Bankschaltungen 414, 416, 418, 420, 422 und 430 sind schaltbar mit dem Knoten 408 des DAW 104 verbunden, um kleine Spannungseinstellungen des Knotens 408 zu ermöglichen. Bei einem bevorzugten Ausführungsbeispiel umfaßt die Schaltungsbank 414 einen FET, die Schaltungsbank 416 zwei FETs, die Schaltungsbank 418 vier FETs, die Schaltungsbank 420 acht FETs und die Schaltungsbanken 422 bis 430 jeweils 16 FETs.

Die Spannungseinstellungen werden durch einen digitalen Eingang 432 gesteuert, der in einem digitalen Format die erforderliche Einstellung festlegt. Wie durch einen Decoder 434 verdeutlicht wird, wird das digitale Eingangssignal 432 decodiert, um in schaltbarer Weise ausgewählte FET-Banken mit dem Knoten 408 zu verbinden. Dies gestattet es, daß bestimmte Größen der FET-Breiten von den Banken 414 bis 430 zu der Breite des PMOS-FET 410 addiert werden. Die Ausgangsleitung des Decoders 434, der der Schaltungsbank 414 entspricht, stellt das Bit mit der geringsten Bedeutung (LSB) dar, während die Leitung entsprechend der Schaltungsbank 430 das Bit mit der höchsten Bedeutung (MSB) darstellt. Der Strom, der gespiegelt für das PNMOS-Verzögerungselement 210 erzeugt wird, wird durch das Breiten-Längen-Verhältnis der Gesamtzahl der PMOS-FETs in dem DAW 104 und durch das Breiten-Längen-Verhältnis des PNMOS-Verzögerungselementes 210 festgelegt. Diese Beziehung folgt folgender Gleichung:

$$I_{\text{gespiegelt}} = \frac{(W_{\text{PNMOS}} / L_{\text{PNMOS}})}{(W_{\text{DAW}} / L_{\text{DAW}})} \times I_{\text{REF}}$$

(es sei angenommen, daß Sättigung vorliegt).

Die FET-Breite des Stromspiegel-DAW 104 ist veränderlich, wie durch folgende Gleichung wiedergegeben wird:

$$W_{\text{DAW}} = W_0 + N W_1$$

In dieser Gleichung bezeichnen:

$W_0$  = die anfängliche äquivalente Kanalbreite des Systemes,

$N$  = der Wert des digitalen Eingangs 432, und

$W_1$  = die Kanalbreite des FET mit dem Bit der geringsten Bedeutung (LSB)

Daher gilt für den gespiegelten Strom folgende Gleichung:

$$I_{\text{gespiegelt}} = \frac{W_{\text{PNMOS}} / L_{\text{PNMOS}}}{(W_0 + NW_i) / L_{\text{DAW}}} \times I_{\text{REF}}$$

5

In dieser Gleichung wird von der Annahme ausgegangen, daß sich sämtliche FETs in ihrer Sättigung befinden, wobei diese Annahme jedoch nicht immer erfüllt ist. Nichtsdestoweniger ist diese Gleichung hilfreich, um die Betriebsweise des DAW-Systemes zu verdeutlichen.

10

Da die Ausgangsspannung (PCNTRL 112) durch einen Stromspiegel gesteuert wird, kompensiert der DAW 104 Änderungen der Temperatur und der Leistungsversorgung, so daß der Strom  $I_{\text{REF}}$  reflektiert wird, wie dies durch die obigen Gleichungen beschrieben wird.

Zwei verschiedene Arten der Decodierung werden durch den Decoder 434 eingesetzt. Bei dem bevorzugten Ausführungsbeispiel ist eine Vielzahl von PMOS-FET-Schaltungsbanken mit dem DAW 104 an einem Knoten 408 verbunden. Die PMOS-FET-Schaltungsbanken 420 bis 430 liefern das MSB (höchstwertige Bit) für den Stromspiegel. Diese Bits werden unter Verwendung einer Thermometerdecodierungsmethode decodiert, bei der inkrementale Einheiten ohne binäre Gewichtung decodiert werden. Ein Beispiel dieser sogenannten Thermometerdecodierung für die Werte Null bis Drei ist in der Tabelle 1 dargestellt.

15

20

Digitaler Wert	Decodiertes Ergebnis
0	Alle Bits sind ausgeschaltet
1	Erstes Bit eingeschaltet; eingeschaltet bleiben
2	Zweites Bit zusätzlich zu dem ersten eingeschaltet; eingeschaltet bleiben
3	Drittes Bit zusätzlich zu dem ersten und zweiten Bit eingeschaltet. Beachte, daß das dritte Bit nach "eingeschaltet" geht.

25

30

Im Gegensatz hierzu liefern die PMOS-FET-Schaltungsbanken 414 bis 418 die niedrigstwertigen Bits (LSB) des Stromspiegels. Diese Schaltungsbanken werden ausgewählt, indem ein binäres Decodierungsverfahren ausgewählt wird. Hierbei wird gemäß einer standardmäßigen binären Gewichtung decodiert.

Der Teilerpunkt, zwischen dem binären Decodieren und dem Thermometer-Decodieren wird durch die spezielle Anwendung festgelegt. Bei einem bevorzugten Ausführungsbeispiel bewirkt der Teilerpunkt in einer FET-Schaltungsbank mit 16 PMOS-FETs ein 16-zu-1 MSB-zu-LSB-Verhältnis. Dieses Verhältnis steht im Gegensatz zu einem 64-zu-1 MSB-zu-LSB-Verhältnis, falls eine strikte binäre Decodierung durch die gesamte Gruppe der FET-Schaltungsbanken eingesetzt wird. Der sich ergebende Effekt besteht darin, daß eine Gerätefehlانpassung aufgrund der Verarbeitung auf das 16-zu-1 MSB-zu-LSB-Verhältnis reduziert wird.

35

Die Übertragungsfunktion der Spannung an dem Knoten 408 ist nichtlinear und umgekehrt proportional zu N, wobei N der Wert des digitalen Eingangssignales 432 ist. Das PCNTRL-Signal 112, das an dem Knoten 408 erzeugt wird, wird dem variablen Kapazitätsverzögerungselement 210 zugeführt, um das Verzögerungselement 210 in die Lage zu versetzen, auf das Eingangssignal 203 mit den groben zeitlichen Flanken eine spezielle Verzögerung auszuüben. Wie nachfolgend detaillierter erläutert werden wird, schafft das Verzögerungselement 210 ein zeitlich fein abgestimmtes Ausgangssignal 316 (vergleiche Fig. 3).

40

Die Funktion des digitalen Eingangssignales 432 und des PCNTRL-Signales 112 (der gespiegelte Strom an dem Knoten 408) sind umgekehrt proportional zu N gemäß folgender Gleichung:

45

$$I_{\text{gespiegelt}} = \frac{W_{\text{PNMOS}} / L_{\text{PNMOS}}}{(W_0 + NW_i) / L_{\text{DAW}}} \times I_{\text{REF}}$$

50

(es sei angenommen, daß Sättigung vorliegt).  
Hieraus folgt:

55

$$(V_{\text{GS}} - V_{\text{T}})^2 = \frac{I_{\text{REF}}}{K (W_0 + NW_i) I_{\text{DAW}}}$$

60

65

(es sei angenommen, daß Sättigung vorliegt).

In dieser Gleichung ist  $V_{GS}$  äquivalent zu dem PCNTRL-Signal 112, wobei hierauf als positive Versorgungsspannung 411 Bezug genommen wird.  $V_T$  bezeichnet die Schwellenspannung des PMOS-FET 410 und der PMOS-FET-Schaltungsbanken 414 bis 430.

5 Obwohl sowohl die Spannung als auch der Strom von dem DAW 104 in einer umgekehrten Beziehung zu N stehen, ist die Verzögerung, die durch das Verzögerungselement 210 geschaffen wird, proportional zu dem digitalen Eingangssignal 432. Dieses Merkmal der vorliegenden Erfindung wird am besten dadurch verdeutlicht, daß die zeitliche Größe betrachtet wird, die erforderlich ist, um den Kondensator C mit einem konstanten Strom zu laden.

10 Der zeitliche Verlauf des Stroms genügt folgender Gleichung:

$$I = \frac{C \, dV}{dt}$$

Annäherungsweise gilt:

$$T = \frac{C \, V}{I}$$

25 Indem der gespiegelte Strom von dem DAW 104 für den Wert I in die obige Gleichung eingesetzt wird, ergibt sich:

$$T = \frac{C \, V}{\frac{(W_{PNMOS} / L_{PNMOS})}{(W_O + NW_i) / L_{DAW}}} \times I_{REF}$$

Anders ausgedrückt läßt sich diese Gleichung folgendermaßen formulieren:

$$T = \frac{C \, V}{I_{REF}} \times \frac{(W_O + NW_i) / L_{DAW}}{W_{PNMOS} / L_{PNMOS}}$$

Daher wird die lineare Verzögerung für die oben angegebene Situation durch folgende intrinsische Verzögerung gegeben:

$$\left( \frac{C \, V}{I_{REF}} \times \frac{W_O / L_{DAW}}{W_{PNMOS} / L_{PNMOS}} \right)$$

Hierzu addiert sich folgende diskrete Verzögerungszeit:

$$\left( \frac{NC \, \Delta V}{I_{REF}} \times \frac{W_i / L_{DAW}}{W_{PNMOS} / L_{PNMOS}} \right)$$

Diese Größe wird durch die digitale Programmierung von dem digitalen Eingangssignal 432 addiert. Das Verzögerungselement 210 der vorliegenden Erfindung, das in Fig. 5 gezeigt ist, wird nachfolgend erläu-

tert. Die grundlegende Schaltungsarchitektur des Verzögerungselementes 210 umfaßt einen Pseudo-NMOS-Puffer oder einen Pseudo-PMOS-Puffer, der aus zwei Pseudo-NMOS-Invertern oder zwei Pseudo-PMOS-Invertern 307 und 314 mit einer programmierbaren Kapazität 308 aufgebaut ist, die zu dem inneren Knoten 310 zwischen Invertern 307 und 314 zugefügt ist.

Die Pseudo-NMOS-Schaltung, die in Fig. 5 gezeigt ist, bewirkt eine feine zeitliche Abstimmung der negativen zeitlichen Flanke des Eingangssignales 203. Eine Pseudo-PMOS-Schaltung, wie sie in Fig. 6 gezeigt ist, liefert eine feine zeitliche Abstimmung einer positiven Zeitflanke des Eingangssignales 203. Gleiche Bezugszeichen in diesen Figuren bezeichnen identische oder funktional ähnliche Elemente.

Die Gates der PMOS-FETs 502 und 504 der Pseudo-NMOS-Inverterausführungsform, die in Fig. 5 gezeigt ist, sowie die Gates der NMOS-FETs 602 und 604 der Pseudo-NMOS-Inverterausführungsform, die in Fig. 6 gezeigt ist, werden durch das PCNTRL-Signal 112 angesteuert, das durch den DAW 104 erzeugt wird. Wie erläutert wurde, stellt eine unabhängige Variable N die digitalen Eingangssignale 432 für den DAW dar. Die Übertragungsfunktion zwischen dem Ausgangssignal des Stromspiegels und dem digitalen Eingangssignal steht in einer umgekehrt proportionalen Beziehung zu N. Da der DAW zu einer stabilen Feststromquelle in Beziehung steht, stellt das PCNTRL-Signal 112 automatisch Temperaturveränderungen und Leistungsversorgungsänderungen ein. Daher wird eine Temperaturkompensation und eine Leistungsversorgungskompensation für die Pseudo-NMOS-Inverter und die Pseudo-PMOS-Inverter geschaffen.

Das PCNTRL-Signal 112 reguliert den Ladestrom (der von dem DAW gespiegelte Strom), mit dem die veränderliche Kapazität 308 geladen wird, und wird verwendet, um die Verzögerung des Puffers 210 einzustellen. Für die Zwecke der vorliegenden Erfindung wird das PCNTRL-Signal 112 gleichfalls zur Eliminierung von Prozeßvariationen eingesetzt, um auf diese Weise eine nominale Zeitverzögerung zu erhalten. Durch Änderung des Spiegelverhältnisses des DAW ändert sich der Ladestrom. Die Ladezeit zum Laden des inneren Knoten ist umgekehrt proportional zu dem Ladestrom. Jedoch ist der Ladestrom umgekehrt proportional zu der DAW-FET-Breite. Daraus folgt, wie bereits erwähnt wurde, daß die Verzögerung proportional zu der DAW-FET-Breite ansteigt.

Die veränderliche Kapazität 308 gemäß der vorliegenden Erfindung wird erhalten, indem die Gate-Source-Spannung (vgss) von einem oder von mehreren NMOS-FETs moduliert wird. Das Gate eines jeden NMOS-FET ist mit dem inneren Knoten 310 des Puffers 210 verbunden. Die Sourceelektrode und die Drainelektrode sind miteinander kurzgeschlossen. Die Gate-Kapazität wird wirksam in die Schaltung eingeschaltet oder aus der Schaltung herausgeschaltet, indem der Source-Drain-Knoten mit der negativen bzw. positiven Versorgungsspannung beaufschlagt wird. Daher können kleine, fein gesteuerte Größen der Kapazität zu dem inneren Knoten 310 über eine digitale Steuerung zugefügt werden. Für Fachleute ist es offenkundig, daß die Größe des Kondensator-FET derart gewählt ist, daß eine feine Zeitabstimmungsauflösung, die von dem Anwendungsfall der Erfindung gefordert ist, erzielt wird. Die Anzahl der an den inneren Knoten angebrachten Kondensatoren ist durch die Erfordernisse des Dynamikbereiches vorgegeben. Da die Verzögerung des Elementes linear proportional zu der Kapazität des inneren Knotens ist, bietet diese Technik eine lineare Beziehung zwischen der programmierten Kondensatoreinstellung und der Verzögerung der Schaltung. Für die Zwecke der vorliegenden Erfindung werden Kondensatoren höherer Ordnung als Kondensatorschaltungsbanken implementiert, um Nichtlinearitäten zu reduzieren.

Eine Pseudo-NMOS-Implementierung gemäß Fig. 5 wird verwendet, um negative zeitliche Flanken zu verzögern. Weitere Ausführungsbeispiele der Erfindung umfassen Pseudo-PMOS-Schaltungen für eine gesteuerte Verzögerung positiver zeitlicher Flanken (vergleiche Fig. 6).

Wiederum weitere Ausführungsbeispiele der vorliegenden Erfindung umfassen Pseudo-NMOS/PMOS-Schaltungen für die gesteuerte Verzögerung sowohl der positiven als auch der negativen Flanken. Diese spezielle Verzögerung kann erzielt werden, indem entweder Pseudo-PMOS (PPMOS)-Elemente und Pseudo-NMOS (PNMOS)-Elemente abwechselnd angeordnet werden oder indem ein Element sowohl mit PMOS- wie auch mit NMOS-Steuerspannungen realisiert wird.

Wie in Fig. 5 gezeigt ist, umfaßt das PNMOS-Verzögerungselement 210 Inverter 307 und 314 und verschiedene Kondensatorschaltungsbanken 518, 524, 528, 534, 538 und 544, die allgemein mit dem Bezugszeichen 308 bezeichnet sind und von der Decoderschaltung 312 angesteuert werden und in Parallelschaltung mit dem inneren Knoten 310 verbunden sind.

Der Inverter 307 umfaßt einen PMOS-FET 502, dessen Gate-Elektrode mit dem PCNTRL-Signal 112 verbunden ist. Der PMOS-FET 512 bleibt ständig eingeschaltet, jedoch ist dessen Leitfähigkeit durch Änderung der Spannung des PCNTRL-Signales 112 veränderlich. Das Einstellen dieser Spannung modelliert das Laden der Kapazität an dem inneren Knoten 310.

Der Inverter 307 umfaßt gleichfalls einen NMOS-FET 506, der ein Eingangssignal 203 empfängt, das an dessen Gate-Elektrode anliegt. Der PMOS-FET 502 und der NMOS-FET 506 arbeiten zusammen, um das Eingangssignal 203 zu invertieren. Ein invertiertes Ausgangssignal von dem Inverter 307 wird an dem Knoten 310 durch die genannte Kondensatorschaltungsbank 308 verzögert, welche schaltbar mit dem Knoten verbunden ist.

Die Kondensatorschaltungsbanken der niedrigen Ordnung (FET-Schaltungsbanken mit weniger als acht FETs) werden durch Steuersignale G1 bis G3 aktiv geschaltet (vergleiche Leitungen 520, 522 und 526). Wenn sie aktiv sind, d. h. eingeschaltet sind, arbeiten die FETs wie Kondensatoren und bilden eine Ladungssenke für den Knoten 310, um dadurch ein Signal zu verzögern, das sich von dem Inverter 307 zu dem Inverter 314 ausbreitet. Steuersignale G1 bis G3 sind boole'sch codiert, um eine zusätzliche Kapazität an den Knoten 310 in einer linearen Art anzulegen. Die Bits höherer Ordnung (FET-Schaltungsbanken mit acht oder mehr FETs) werden durch die Steuersignale G4 und G5 aktiv geschaltet (vergleiche Leitungen 530, 532). Die Steuersignale G4 und G5 sind Thermometer-codiert, um ein Vorrichtungsfehlansprechen aufgrund von Prozeßtoleranzen zu minimieren. Die Leitungen 520, 522, 526, 530, 532 umfassen den Steuerbus 306, der oben

unter Bezugnahme auf Fig. 3 diskutiert wurde. Eine erste Kondensatorschaltungsbank 518 umfaßt einen NMOS-FET, der in Parallelschaltung mit seinem Gate an den Knoten 310 angeschlossen ist und einen kurzgeschlossenen Source-Drain-Knoten hat, der durch das Gate-Steuereingangssignal G1 auf der Leitung 520 gesteuert wird. Das Signal G1 wird durch einen Inverter 521 logisch invertiert und gepuffert. Das Eingangssignal G1 ist das niedrigstwertige Bit (LSB) des Steuerwortes, welches die Eingangssignale G1 bis G5 umfaßt. Das Gatesteuereingangssignal G2 auf der Leitung 522 wird durch einen Inverter 523 invertiert und gepuffert und steuert den kurzgeschlossenen Source-Drain-Knoten eines Paares von parallel geschalteten FETs, welche die Kondensatorbank 524 bilden. Die Kondensatorbank 524 ist mit dem Knoten 310 verbunden, um das nächsthöherwertige Bit des Knotens zu steuern. Ein Gate-Steuereingangssignal G3 auf der Leitung 526, welches durch einen Inverter 527 invertiert wird, steuert eine Gruppe von vier FETs, die zusammen eine Kondensatorschaltungsbank 528 bilden. Die Kondensatorschaltungsbank 528 liegt parallel zu dem Knoten 310 über die Gates der Kondensatorschaltungsbank 528, um das nächsthöherwertige Bit des Knotens zu steuern.

Ein logisches NOR-Gate 529 für ein Gate-Steuereingangssignal G4 auf der Leitung 530 und ein Gate-Steuereingangssignal G5 auf der Leitung 532 steuert den Source-Drain-Knoten einer Kondensatorschaltungsbank 534. Die Schaltungsbank 534 umfaßt acht NMOS-FETs, die das nächsthöherwertige Bit der Verzögerung für den Knoten 310 bilden. Ein Inverter 535 erzeugt ein invertiertes Ausgangssignal 536 des Gate-Steuereingangssignales G4. Ein Ausgangssignal 536 steuert den Source-Drain-Knoten einer Kondensatorschaltungsbank 538 mit acht NMOS-FETs, die eine kapazitive Verzögerung für das nächsthöherwertige Bit an dem Knoten 310 bilden. Die Gate-Steuereingangssignale G4 und G5 werden an jeweilige Eingangsanschlüsse eines logischen NAND-Gatters 540 angelegt. Ein Ausgangssignal 542 des logischen NAND-Gatters 540 steuert den Source-Drain-Knoten einer Kondensatorschaltungsbank 544. Die Kondensatorschaltungsbank 544 umfaßt acht NMOS-FETs, die eine kapazitive Verzögerung des höchstwertigen Bits (MSB) für den Knoten 310 bilden.

Es sei angemerkt, daß die FETs der ersten vier Kondensatorschaltungsbanken in einer binären Art angeordnet sind (1, 2, 4, 8), um programmierte Kapazitätsfähigkeiten zu liefern, die durch eine binäre Decodierung der Eingänge G1 bis G3 geliefert werden. Die beiden höchstwertigen Bits G4 und G5 werden in einer Thermometer-Art in der Weise decodiert, daß die Kondensatorschaltungsbank 308 aus acht NMOS-FETs anstelle des darauffolgenden binären Äquivalentes von sechzehn gebildet ist. Die Thermometer-Decodierung ist derart, daß die drei Acht-FET-Kondensatorbanken 534, 538 und 544 in einer monotonen Weise eingeschaltet werden, wenn die Eingangssignale G4 und G5 von einer binären Null (00<sub>2</sub>) bis zu einer binären Drei (11<sub>2</sub>) ansteigen.

Das verzögerte Signal an dem Knoten 310, das durch die Kondensatorschaltungsbanken 308 gebildet wird, ist ein Eingangssignal des Gates des NMOS-FET 508 des Inverters 314.

Der Inverter 314 umfaßt den NMOS-FET 508 und den PMOS-FET 504, wobei das PCNTRL-Signal 112 mit dem Gate des PMOS-FET 504 verbindbar ist, so daß dessen Leitfähigkeit einstellbar ist. Das verzögerte Datensignal an dem Knoten 310 wird dann erneut invertiert, um ein Datenausgangssignal 316 zu erzeugen, das logisch mit dem Dateneingangssignal 203 konsistent ist.

Wie in Fig. 6 gezeigt ist, hat das Pseudo-PMOS-Verzögerungselement einen Eingang 203, der mit dem Gate des p-Kanal-FET 602 des ersten Inverters 307 verbunden ist. Der Ausgang des ersten Inverters 307 ist mit dem Gate des p-Kanal-FET 604 des zweiten Inverters 314 verbunden. Das PCNTRL-Signal 112 ist mit dem Gate der n-Kanal-FETs 606 und 608 verbunden. Diese Umkehrung des Steuersignales und der Eingangssignale gestattet eine gesteuerte Verzögerung der positiven Signalfanken.

Die Verzögerungsleitung 206 gemäß der vorliegenden Erfindung wird nunmehr erläutert. Die Verzögerungsleitung ist eine Strukturkombination von Verzögerungselementen 210, die elektrisch mit einem in PNMOS-Schaltungstechnik aufgebauten ODER-Multiplexer 215 verbunden sind (vergleiche Fig. 2). Insbesondere ist eine Gruppe von Verzögerungselementen seriell derart angeordnet, daß der Datenausgang von einem Verzögerungselement mit dem Dateneingang des nächsten Verzögerungselementes verbunden ist. Ein Teil dieser Gruppe von gestapelten Verzögerungselementen wird verwendet, um die Eingangssignalfanke in kleinen zeitlichen Inkrementen zu verzögern, während ein anderer Teil dieser Gruppe der gestapelten Verzögerungselemente verwendet wird, um große zeitliche Verzögerungen zu bewirken. Ein weiterer Teil dieser Gruppe kann zu Kalibrierungszwecken eingesetzt werden.

Fig. 7 zeigt ein logisches Diagramm einer Struktur auf hohem Niveau bezüglich eines bevorzugten Ausführungsbeispiels der Verzögerungsleitung 210 der vorliegenden Erfindung. Die Verzögerungsleitung 206 umfaßt in Reihe geschaltete Verzögerungselemente 706 bis 726 und einen PNMOS-geschalteten ODER-Multiplexer 215. Die Verzögerungselemente 706, 708 und 714 umfassen feine Verzögerungselemente  $F_1, F_2, \dots, F_n$ , während die Verzögerungselemente 716, 718, und 726 grobe Verzögerungselemente  $C_1, C_2, \dots, C_n$  haben. Das Eingangssignal 203 mit groben zeitlichen Flanken wird an den Eingang des Elementes 706 angelegt.

Die Anzahl der Verzögerungselemente wird durch die gewünschte Anwendung der Verzögerungsleitung 206 bestimmt. Die Anzahl der feinen Verzögerungselemente ( $F_1, F_2, \dots, F_n$ ) ist derart gewählt, daß der kombinierte Bereich der feinen Verzögerungselemente den Bereich eines groben Verzögerungselementes umfaßt, jedoch nicht eine maximale intrinsische Verzögerungsfestlegung überschreitet, die folgendermaßen lautet:

Intrinsische Verzögerung = feine intrinsische Verzögerung + Multiplexer Verzögerung  
Gesamtverzögerung = intrinsische Verzögerung + feine programmierte Verzögerung + grobe programmierte Verzögerung

Jedes feine Verzögerungselement hat einen Steuereingang  $GF_{1-n}$  (1 : 5), der dem Steuerbus 306 gemäß Fig. 3 entspricht, und hat ferner Leitungen G1 bis G5, wie dies in den Fig. 5 und 6 gezeigt ist. Die Steuereingänge  $GF_{1-n}$  (1 : 5) legen die Größe der Verzögerung fest, die durch das entsprechende feine Verzögerungselement vorzunehmen ist. In ähnlicher Weise hat jedes grobe Verzögerungselement einen Steuereingang  $GC_{1-n}$  (1 : 5), der die Größe der Verzögerung festlegt, welche durch das entsprechende grobe Verzögerungselement vorzunehmen ist.



Das letzte feine Verzögerungselement  $F_i$  und alle groben Verzögerungselemente 716 bis 726 haben jeweils Abgriffe an ihren jeweiligen Ausgängen  $D(1), D(2), \dots, D(N)$  für den PNMOS-geschalteten ODER-Multiplexer 215. Eine nominale grobe Verzögerung wird durch jedes grobe Verzögerungselement durch Steuern der jeweiligen Kondensatorschaltungsbank eingestellt. Daher arbeitet der PNMOS-geschaltete ODER-Multiplexer 215, indem die hereinkommende Flanke abgegriffen wird, nachdem eine ganze Zahl  $S$  ( $1:N$ ) von nominalen groben Verzögerungen auf die hereinkommende Flanke ausgeübt wurden, wie dies durch den Auswahlbus 748 festgelegt ist.

Der Auswahlbus 748 bewirkt eine individuelle digitale Steuerung für jedes abgegriffene Ausgangssignal  $D(1)$  bis  $D(N)$ , welche durch den PNMOS-geschalteten ODER-Multiplexer 215 empfangen werden. Die Bitgröße des Auswahlbusses 748 wird durch den speziellen Anwendungsfall festgelegt. Ferner empfängt der PNMOS-geschaltete ODER-Multiplexer 215 das PCNTRL-Signal 112, welches eine Steuerung der PMOS-Gates der Pseudo-NMOS-Implementierungen des PNMOS-geschalteten ODER-Multiplexers 215 bewirkt.

Die Verzögerungsleitung 206 ermöglicht eine Kombination der feinen Verzögerung, die durch die Verzögerungselemente  $F_1, \dots, F_n$  erzeugt wird, mit der groben Verzögerung, welche durch die groben Verzögerungselemente  $C_1, \dots, C_n$  erzeugt wird. Daher wird das Ausgangssignal 204 mit einer fein eingestellten Flanke von dem Eingangssignal 203 mit einer zeitlich groben Flanke erhalten, indem eine geeignete Anzahl von feinen und groben Verzögerungen ausgeführt wird. Das Ausgangssignal 204 mit der fein eingestellten Flanke hat eine konstante intrinsische Verzögerungskomponente, welche durch die feine Verzögerung und den PNMOS-geschalteten ODER-Multiplexer 215 bewirkt wird.

Fig. 8 zeigt ein Feldeffekttransistor-Pegeldiagramm einer Multiplexerausführung des PNMOS-geschalteten ODER-Multiplexers 215 gemäß Fig. 7 nach der vorliegenden Erfindung. Der PNMOS-geschaltete ODER-Multiplexer 215 ist unter Verwendung der Pseudo-NMOS-Technologie implementiert. Der Bus 216 liefert das gewünschte Eingangssignal für den Multiplexer 215 aufgrund einer beliebigen Anzahl ( $N$ ) von Verzögerungseingangssignalen  $D(1), D(2), \dots, D(N)$ . Der PNMOS-geschaltete ODER-Multiplexer 215 empfängt das PCNTRL-Signal 112, um die PMOS-Gates der Pseudo-NMOS-Ausführungsform des PNMOS-geschalteten ODER-Multiplexers 215 anzusteuern. Ein Auswahlbus 748 mit  $N$  Eingängen ( $S[1:N]$ ) liefert ein digitales Steuersignal zur Auswahl eines beliebigen Eingangssignales aus  $N$  Verzögerungseingangssignalen  $D(1), D(2), \dots, D(N)$ .

Eine Mehrzahl von NMOS-FETs 802a, 802b, ..., 802n sind mit entsprechenden PMOS-FETs 822a, 822b, ..., 822n verbunden, um invertierte Ausgangsknoten 842a, 842b, ..., 842n zu bilden. Jedes einzelne Verzögerungseingangssignal  $D(1)$  bis  $D(N)$  ist mit einem Gate eines entsprechenden NMOS-FETs 802 verbunden. Bei dieser PNMOS-Ausführungsform des PNMOS-geschalteten ODER-Multiplexers 215 wird jeder PMOS-FET 822 durch das PCNTRL-Signal 112 gesteuert, wodurch die gleichen Prozeß-, Leistungsversorgungs- und Temperatur-Kompensationscharakteristika einer Pseudo-NMOS-Technik bewirkt werden.

Jeder invertierte Ausgangsknoten 842 ist mittels eines Signales  $S(1:N)$  über einen Auswahlbus 748 auswählbar, welches einen NMOS-FET 862a, 862b, ..., 862n ansteuert, der parallel an die jeweiligen Knoten 842 geschaltet ist. Die einzelnen Leitungen auf dem Auswahlbus 748 haben eine negative Binärcodierung, wobei lediglich eine Auswahlleitung ( $S[i], i = 1 \text{ bis } n$ ) jeweils gleichzeitig aktiv geschaltet sein darf.

Letztlich ist der digital ausgewählte Knoten 842, an dem ein invertiertes verzögertes Eingangssignal  $D(1)$  bis  $D(N)$  anliegt, mit einem entsprechenden NMOS-FET 882a, 882b, ..., 882n verbunden. Jeder dieser NMOS-FETs 882 liegt in Parallelschaltung an einem PMOS-FET 897, um einen zweiten Inverter zu bilden, der erneut das ausgewählte invertierte Verzögerungseingangssignal  $D(1)$  bis  $D(N)$  an dem jeweiligen Knoten 842 invertiert, um ein Ausgangssignal 204 zu schaffen, das logisch mit dem verzögerten Eingangssignal  $D(1)$  bis  $D(N)$  konsistent ist, welches durch den Auswahlbus 748 ausgewählt ist.

Zusammenfassend ist festzustellen, daß der PNMOS-geschaltete ODER-Multiplexer 215 PNMOS-ODER-Schaltungen umfaßt, die jeweils einen offenen Drain-Ausgang haben. Die offenen Drain-Ausgänge sind alle mit einem einzigen PMOS-Hochzieh-FET 897 verbunden, dessen Gate durch das PCNTRL-Signal 112 angesteuert wird. Ein Eingangssignal eines jeden PNMOS-ODER-Gatters wird durch einen Verzögerungsleitungsabgriff angesteuert. Der andere Eingang eines jeden PNMOS-ODER-Gatters wird durch ein Auswahlleitungssignal angesteuert, welches ein Aktivschalten oder Abschalten eines speziellen Abgriffes bewirkt. Bei einer Ausführungsform der vorliegenden Erfindung wird lediglich ein Abgriff zu einem bestimmten Zeitpunkt aktiv geschaltet. Bei einer hereinkommenden Flanke an dem entsprechenden aktiv geschalteten Abgriff breitet sich das Signal anschließend durch die PNMOS-ODER-Schaltung aus und zieht den gemeinsamen PMOS-Hochzieh-FET nach unten, wodurch das abgegriffene Signal sich an den Ausgang des Multiplexers ausbreitet. Der gemeinsame Hochzieh-FET, an den sämtlichen offenen Drain-Knoten elektrisch angeschlossen sind, arbeitet als ein ODER-Gatter (geschaltetes ODER), um einen aktiven Abgriff zur Ausbreitung zu dem Ausgang zu ermöglichen.

Da ein Anwendungsfall der Erfindung sich auf Testeinrichtungen in integrierter Schaltungstechnik bezieht, bei denen die Fähigkeit zur Temperatur-, Leistungsversorgungs- und Prozeßvariations-Kompensation erforderlich wird, ist es nötig, das Verhalten der zu testenden Schaltung von demjenigen des Testsystemes zu isolieren. Daher liefert die Schaltungsarchitektur ein Kalibrierungsverfahren unter Verwendung einer Pseudo-NMOS- (d. h. einer sogenannten PNMOS) Fein/Grob-Abgriffsverzögerungsschaltung als geschaltetes ODER-Gatter mit entsprechender Unterstützungsschaltung.

Die Unterstützungsschaltung umfaßt:

1. ein Datenregister, welches einen Digitalwert empfängt, der eine gewünschte Zeitverzögerung darstellt, die auf das Eingangssignal mit den groben zeitlichen Flanken auszuüben ist;
2. ein RAM, welches einen Kalibrierungsspeicher für den Aspekt der feinen Verzögerung der programmierten digitalen Verzögerung schafft;

3. eine Registerschaltungsbank, die den Kalibrierungsspeicher für den Aspekt der groben Verzögerung der programmierten digitalen Verzögerung liefert;
4. eine Decoderschaltung sowohl für feine als auch für grobe Verzögerungen der programmierten digitalen Verzögerung als Eingang der PNMOS-geschalteten Abgriffsverzögerungsleitung in ODER-Schaltungstechnik, um das Ausgangssignal mit der gewünschten fein eingestellten Flanke zu erhalten;
5. eine Kalibrierungsschaltung zur Unterstützung verschiedenen Kalibrierungsvorgehensweisen.

Fig. 9 zeigt ein Blockdiagramm einer Zeitfeineinstellschaltung 106, die verwendet wird, um ein Ausgangssignal mit einer genau gesteuerten zeitlichen Flanke aufgrund eines Eingangssignales mit einer groben zeitlichen Flanke zu bilden. Ein Datenbus 904 liefert ein Eingangsdatensignal 906 für ein Alpharegister 908. Das Eingangsdatensignal 906 legt eine gewünschte programmierte digitale Verzögerung fest, die in dem Alpharegister 908 gespeichert ist. Die höchstwertigen Bits (MSB) des Wertes, der in dem Alpharegister 908 gespeichert ist, werden durch den groben Decoder 910 über einen Bus 911 empfangen. Die niederwertigen Bits (LSB) des Wertes in dem Alpharegister 908, die die feine Verzögerung festlegen, die durch die Zeitfeineinstellvorrichtung 106 zu erzeugen ist, werden als eine Adresse für das RAM 912 über einen Bus 913 empfangen.

Der grobe Decoder 910 decodiert die höchstwertigen Bits des in dem Alpharegister 908 gespeicherten Wertes, um ein Auswahl Eingangssignal 914 für eine PNMOS-geschaltete ODER-Abgriffsverzögerungsleitung 206 zu schaffen. Die PNMOS-geschaltete ODER-Abgriffsverzögerungsleitung 206 wählt einen einzigen Abgriff in der Verzögerungsleitung aus und arbeitet daher, um die feinen und groben Verzögerungen zu kombinieren, welche durch das Eingangsdatensignal 906 festgelegt sind. Die Registerbank 918 bewirkt eine Speicherung, auf die von dem Datenbus 904 über einen Bus 919 zu der PNMOS-geschalteten ODER-Abgriffsverzögerungsleitung 206 über einen Bus 920 zugegriffen werden kann, um die Kalibrierungsdaten zu liefern, die durch die groben Verzögerungselemente benötigt werden, die intern einen Teil der PNMOS-geschalteten ODER-Abgriffsverzögerungsleitung 206 bilden.

Das RAM 912 speichert Kalibrierungsdaten für die Feinverzögerung, die durch die geringstwertigen Bits (LSB) des Wertes festgelegt ist, der in dem Alpharegister 908 gespeichert ist. Ein Bus 921 schafft einen Zugriff von dem Datenbus 904 auf das RAM 912. Ein Bus 922 schafft einen Zugriff von dem RAM 912 auf einen Decoder 924 für die feine Verzögerung, der eine Decodierung der in dem RAM 912 gespeicherten binären Daten in eine Kombination von binär decodierten Daten und Thermometer-decodierten Daten schafft. Dieses kombinierte Decodieren ermöglicht eine erhöhte Linearität. Die Thermometer-Decodierung wird unter der Vielzahl von Verzögerungselementen (Zwischenverzögerungselementen) verwendet, die in der PNMOS-geschalteten ODER-Abgriffs-Verzögerungsleitung 206 enthalten sind. Die binäre Decodierung wird innerhalb eines jeden Verzögerungselementes (Zwischenverzögerungselementes) verwendet, welches in der PNMOS-geschalteten ODER-Verzögerungsleitung 206 enthalten ist. Der Bus 926 bewirkt einen Zugriff von dem Decoder 924 für die feine Verzögerung auf die PNMOS-geschaltete ODER-Verzögerungsleitung 206.

Wie in Fig. 9 gezeigt ist, wird ein Eingangssignal 203 mit zeitlich groben Flanken, auf das die Zeitverzögerung angewendet werden soll, zusammen mit einem Systemtaktsignal CLK 932 einem Halte-Flip-Flop-1 930 (last-Flip-Flop-1, LFF1) zugeführt. Die Ausgangsstufe des LFF1 930 ist in PNMOS-Technologie ausgeführt, um eine Verstärkungs-, Leistungsversorgungs- und Temperatur-Kompensation zu bewirken. Das Eingangssignal 203 wird getaktet, um ein großflankiges Signal 934 zu erzeugen, welches der PNMOS-geschalteten ODER-Abgriffsverzögerungsleitung 206 der Zeitfeineinstellvorrichtung 106 zugeführt wird. Die PNMOS-geschaltete ODER-Abgriffsverzögerungsleitung 206 empfängt gleichfalls ein PCNTL-Signal 112 als Steuerspannung für die PNMOS-Implementierung. Eine genau gesteuerte verzögerte Flanke entsprechend der programmierten Verzögerung, die über das Eingangsdatensignal 906 empfangen wird, wird als Ausgangssignal 204 mit zeitlich hochgenauer Flanke erzeugt.

Ferner wird das Signal 934 mit der zeitlich groben Flanke eingangsseitig dem D-Eingang eines LFF2 (last-Flip-Flop-2) 940 zugeführt, welches gleichfalls durch das Taktsignal CLK 932 getaktet wird. Das LFF2 940 stimmt strukturell identisch mit dem LFF1 930 überein, da die Verzögerungscharakteristika des LFF2 940 mit denjenigen Charakteristika des LFF1 930 zusammenpassen sollten. Bei dem nächsten Taktsignal CLK 932 nach Empfang des Signales 934 mit der groben zeitlichen Flanke erzeugt das LFF2 940 ein Bezugsflankensignal PCLK 942 für einen Phasendetektor 944. Dieser Phasendetektor 944 empfängt gleichfalls das Signal mit der feinen zeitlichen Flanke 204. Der Phasendetektor 944 vergleicht die Periodendauer des Signales CLK 932 mit der Verzögerung der Verzögerungsleitung, die aufgrund des Signales 204 mit der genau gesteuerten zeitlichen Flanke ermittelt wird. Ein PHDOUT-Ausgangssignal 946 nimmt den logischen Wert "1" an, falls die Verzögerung aufgrund der Verzögerungsleitung, die durch das Signal 204 mit der feinen zeitlichen Flanke dargestellt wird, kleiner als eine Taktperiode des Signales PCLK 942 ist. Anderenfalls nimmt das PHDOUT-Ausgangssignal 946 den logischen Wert "0" an.

Eine Kalibrierung kann aus verschiedenen Gründen erforderlich sein. Ein Bedarf an der Kalibrierung kann aufgrund von Prozeßvariationen von verschiedenen Chargen des gleichen Chips oder aufgrund von Schaltungsfehlanspassungen auf dem gleichen Chip herrühren. Die Schaltungsarchitektur gemäß der vorliegenden Erfindung unterstützt drei bevorzugte Kalibrierungsmethoden:

1. Die PCNTL-Kalibrierung, die Prozeßvariationen kompensiert;
2. die Kalibrierung mit feiner Verzögerung, die eine Schaltungsfehlanspassung in den Elementen für die feine Verzögerung kompensiert; und
3. die Kalibrierung für grobe Verzögerung, welche eine Schaltungsfehlanspassung in Elementen für die grobe Verzögerung kompensiert.

Abhängig von den speziellen Systemanforderungen wird ein Teil dieser Kalibrierungsverfahren oder sämtliche Kalibrierungsverfahren benötigt oder auch nicht benötigt.

Jedes der obigen Kalibrierungsverfahren erfordert eine genaue Zeitreferenz. Diese Zeitreferenz wird in der Form einer fein gesteuerten, an sich konventionellen Taktperiodendauer des Signales CLK 932 gemäß Fig. 9 gebildet. Das Verfahren der Kalibrierung wird durch eine digitale Steuerschaltung (d. h. durch einen sogenannten Kalibrierungs-Logger) gesteuert und ermöglicht eine Mittelung der Daten, um die Kalibrierung statistisch zu verbessern. Für Fachleute ist es offenkundig, daß viele an sich bekannte Techniken für die Durchführung der Speicherung und des Zählens des Kalibrierungs-Loggers in Betracht kommen. Einzelheiten des Kalibrierungs-Loggers sind für Fachleute zur Ausführung der Erfindung nicht erforderlich. Der Kalibrierungs-Logger kann mehrere Zähler und Register, eine digitale Logikschaltung oder dergleichen umfassen. Der Zweck der Logger-Schaltung liegt in der Überwachung und Speicherung der gesamten Zählung der verschiedenen Phasendetektorausgangsergebnisse und im Vergleich derselben mit einem Schwellenwert, der vorab in den Kalibrierungs-Logger programmiert worden ist. Dieser Vergleich ermöglicht es, daß der Kalibrierungs-Logger bestimmt, ob die zeitliche Flanke, die betrachtet wird, ein gewünschtes zeitliches Verhalten hat. Der Kalibrierungs-Logger schafft gleichzeitig eine Einrichtung für die Schaltung, um auf indirekte Weise zeitempfindliche Messungen durchzuführen, so daß ein Selbsttest während des Herstellungstestvorganges durchgeführt werden kann.

Das Kalibrierungsverfahren kann unter Bezugnahme auf zwei aufeinanderfolgende ansteigende Flanken des Taktsignales CLK 932 in Fig. 9 beschrieben werden. Die erste Flanke treibt das Signal mit der zeitlich groben Flanke in die Verzögerungsleitung 206 und setzt ein zweites Flip-Flop LFF2 940. Das LFF2 940 wird durch das Taktsignal CLK 932 getaktet und erzeugt ein Ausgangssignal PCLK 942, welches nachfolgend ein zweites Taktsignal wird und den Phasendetektor treibt. Wenn daher die Periode, welche die Zeit zwischen zwei aufeinanderfolgenden ansteigenden Flanken des Taktes CLK 932 ist, gemäß der Programmierung die gewünschte Verzögerung durch die Verzögerungsleitung 206 ist, steigt das Ausgangssignal 204 mit der zeitlich feinen Flanke zu dem gleichen Zeitpunkt wie das zweite Taktsignal PCLK 942 bei dessen ansteigender Flanke an. Die zeitlich fein eingestellte Signalfanke des Ausgangssignales 204 und die Signalfanke des PCLK-Signales 942 sind nicht in der oben beschriebenen Art zueinander aufgereiht, wobei das Ausgangssignal 204 mit der fein eingestellten zeitlichen Flanke außer Kalibrierung ist. In dieser Situation wird die Einstellung der Verzögerungsleitung 206 nachgestellt, bis die Signalfanke des Ausgangssignales mit der fein eingestellten Flanke 204 und die Flanke des PCLK-Signales 942 zueinander ausgerichtet sind. Das Ergebnis dieses Kalibrierungsprozesses wird in dem RAM 912, dem Register 918 abgespeichert oder verwendet, um die DAW-Einstellung nachzustellen, in Abhängigkeit davon, ob die Feinkalibrierung, die Grobkalibrierung oder das PCNTRL-Signal 112 kalibriert werden. Im wesentlichen treibt das PHDOUT-Signal 942 einen Rückkopplungsabschnitt, der eine Phasenrastschleifenfunktion emuliert und ermöglicht die Durchführung einer erfindungsgemäßen Kalibrierung durch eine konstante digitale Einstellung der Taktperiodendauer, bis diese die gewünschte Verzögerungszeit durch die Verzögerungsleitung 206 zur Anpassung bringt.

Die Fig. 10, 11 und 12 zeigen Flußdiagramme von Verfahren, die zu Kalibrierungszwecken bei dem bevorzugten Ausführungsbeispiel der Erfindung gemäß Fig. 9 Anwendung finden. Fig. 10 ist ein Flußdiagramm eines Verfahrens der PCNTRL-Kalibrierung, bei dem Prozeßvariationen kompensiert werden.

Wie in Fig. 10 gezeigt ist, programmiert ein Kalibrierungsverfahren des PCNTRL-Signales 112 sämtliche Verzögerungselemente innerhalb der PNMOS-geschalteten ODER-Abgriffsverzögerungsleitung 206 auf eine nominale Kondensatoreinstellung. Das PCNTRL-Kalibrierungsverfahren beginnt mit dem Block 1001 durch Einstellung einer Zeitreferenz (CLK 932) auf eine gewünschte Frequenz. Als Beispiel zur Erläuterung dieses Verfahrens, das nachfolgend durchgängig verwendet wird, sei angenommen, daß die gewünschte Verzögerung auf acht ns zu kalibrieren ist. In diesem Fall muß die Zeitreferenz CLK 932 auf eine Periode von acht ns eingestellt werden. Diese Einstellung bedeutet, daß die Zeitdauer zwischen der ansteigenden Flanke und einer nachfolgenden ansteigenden Flanke acht ns beträgt. Es sei angemerkt, daß bei dem vorliegenden Ausführungsbeispiel jedes Verzögerungselement der Verzögerungsleitung 206 eine nominale Verzögerung von zwei ns hat, wobei in diesem Fall vier Verzögerungselemente erforderlich werden, damit die Verzögerungsleitung 206 die gewünschte Verzögerung von acht ns liefert. Der DAW 104, der das PCNTRL-Signal 112, welches zu kalibrieren ist, erzeugt, wird dann auf seine niedrigste Einstellung eingestellt, wie dies in dem Block 1002 gezeigt ist, um das minimale PCNTRL-Signal 112 zu erzeugen. Es sei im Zusammenhang mit dem weiterhin betrachteten Ausführungsbeispiel erwähnt, daß diese Minimaleinstellung des PCNTRL-Signales 112 die Verzögerungsleitung 206 in die Lage versetzt, eine Verzögerung zu erzeugen, die geringer ist als die gewünschte Verzögerung von acht ns, so daß die gewünschte Verzögerung von acht ns durch langsame Erhöhung des PCNTRL-Signales 112 angenähert werden kann.

Als nächstes wird in dem Block 1004 erfaßt, daß eine Taktflanke zu der Zeitfeineinstellvorrichtung 1006 durch das Eingangssignal 203 eingegeben wird. Der Block 1006 verdeutlicht, daß die verzögerte Flanke des zeitlich fein eingestellten Ausgangssignales 204 mit dem PCLK-Signal 942 (welches von der Zeitreferenz CLK 932 erzeugt wird und eine identische Taktdauer hat) durch den Phasendetektor 944 verglichen wird. Wie in der Beschreibung der Fig. 9 geschildert wurde, legt das PHDOUT-Ausgangssignal 946 den logischen Wert "1" fest, falls die Verzögerung von der Verzögerungsleitung 206 auf das Signal mit der zeitlich fein eingestellten Flanke 204 kleiner ist als eine Periodendauer des PCLK-Signales 942. Anderenfalls nimmt das PHDOUT-Ausgangssignal 946 den logischen Wert "0" an. Das externe Kalibrierungsaufzeichnungsgerät (der Kalibrierungs-Logger) zeichnet dann das PHDOUT-Ausgangssignal 946 auf, wie dies durch den Block 1008 verdeutlicht wird, um dadurch die Anzahl von Malen zu zählen, bei denen das Ausgangssignal einen hohen Wert annimmt.

Der Entscheidungsbereich 1009 verdeutlicht, daß der Prozeß von dem Block 1004 N-fach wiederholt wird, wobei N eine digitale Zahl ist, die in dem Kalibrierungsaufzeichnungsgerät bzw. Kalibrierungs-Logger aufgezeichnet wird. Die Wiederholung dieses Zyklus von dem Block 1004 bis zu dem Block 1009 ist erforderlich, wenn

die Verzögerung der Verzögerungsleitung 206 die Periode der Zeitreferenz CLK 932 annähert, da zu diesem Zeitpunkt der Phasendetektor 944 in eine instabile Betriebsart eintritt, bei der das Ausgangssignal unbestimmt wird. Daher muß das Ausgangssignal durch eine Wahrscheinlichkeitsüberprüfung bestimmt werden. Wenn der Wert N ansteigt, nimmt die Wahrscheinlichkeit zu, daß das richtige Ausgangssignal auf korrekte Weise bestimmt worden ist.

5 Zu dem Zeitpunkt, zu dem ein richtiges Ausgangssignal in vernünftiger Weise während N aufeinanderfolgenden Iterationen bestimmt worden ist, wird von dem Entscheidungsblock 1010 eine diesbezügliche Bestimmung vorgenommen, falls der Zählwert, welcher als Kalibrierungsaufzeichnungszählwert gespeichert ist, welcher die gesamte Anzahl von Malen darstellt, bei denen der Phasendetektor 944 das Ergebnis "1" liefert, größer ist oder  
10 gleich ist einem externen unabhängigen programmierbaren Schwellenwert. Falls dies der Fall ist, wie dies durch den Block 912 verdeutlicht wird, ist jedes Verzögerungselement gleich der nominalen Verzögerung, was bedeutet, daß die Verzögerung der Verzögerungsleitung 206 ungefähr auf die Verzögerung kalibriert wird, die durch die Periodendauer der Zeitreferenz CLK 932 spezifiziert wird. Daher ist das PCNTRL-Signal 112 nunmehr bezüglich Variationen des Herstellungsprozesses kalibriert.

15 Anderenfalls wird, wie dies durch den "Nein"-Zweig vom Block 1010 verdeutlicht wird, die Einstellung des DAW 104, die das PCNTRL-Signal 112 steuert, um ein niedrigstwertiges Bit erhöht, um das PCNTRL-Signal 112 zu erhöhen und um dadurch die Verzögerung zu vergrößern, die durch jedes Verzögerungselement geliefert wird, welches in der Verzögerungsleitung 206 enthalten ist. Diese Vorgehensweise wird von dem Block 1004 wiederholt, bis der Entscheidungsblock 1010 der "Ja"-Verzweigung zu dem Block 1012 folgt.

20 Fig. 13 ist ein Flußdiagramm eines Verfahrens einer Feinverzögerungskalibrierung, die eine Schaltungsfehl-  
anpassung bezüglich der Feinverzögerungselemente kompensiert. Als Ergebnis werden die Feinverzögerungselemente bezüglich der auf einem Schaltungschip entstandenen photolithographischen Variationen kalibriert. Das Feinverzögerungskalibrierungsverfahren beginnt mit dem Block 1101 durch Einstellen der Zeitreferenz (CLK 932) auf eine gewünschte Frequenz. Bei dem ständig betrachteten Beispiel, welches der Erläuterung dieses  
25 Verfahrens dienen soll, bei dem eine gewünschte Verzögerung auf acht ns zu kalibrieren ist, sollte die Zeitreferenz CLK 932 innerhalb einer Periode von acht ns eingestellt werden. Diese Einstellung bedeutet, daß die Zeit zwischen einer ansteigenden Flanke und der folgenden ansteigenden Flanke acht ns ist. Als nächstes zeigt der Block 1102, daß die Kondensatoreinstellung für die Feinverzögerungselemente, die innerhalb der PNMOS-geschalteten ODER-Abgriffsverzögerungsleitung enthalten sind, auf die Minimaleinstellung einzustellen ist. Bei  
30 dem ständig betrachteten Ausführungsbeispiel wird dies einer Feinverzögerung von weniger als acht ns entsprechen.

Nunmehr bezeichnet der Block 1104, daß die zeitliche Flanke zu der Zeitfeineinstellvorrichtung 106 über das Eingangssignal 203 eingegeben ist. Der Block 1106 gibt an, daß die verzögerte Flanke des zeitlich fein eingestellten Ausgangssignales 204 mit dem PCLK-Signal 942 (welches von der Zeitreferenz CLK 932 erzeugt wird und  
35 eine identische Taktzeit hat) durch den Phasendetektor 944 verglichen wird. Wie in der Beschreibung im Zusammenhang mit Fig. 9 erläutert worden ist, nimmt das PHDOUT-Ausgangssignal 946 den logischen Wert "1" an, falls die Verzögerung der Verzögerungsleitung 206 auf das Signal mit der zeitlich fein eingestellten Flanke 204 geringer ist als eine Takt-dauer des Signales PCLK 942. Anderenfalls nimmt das PHDOUT-Ausgangssignal 946 den logischen Wert "0" an. Das externe Kalibrierungsaufzeichnungsgerät nimmt dann das PHDOUT-Ausgangssignal 946 auf, wie dies durch den Block 1108 verdeutlicht wird, um dadurch die Anzahl von Malen zu  
40 zählen, bei denen das Ausgangssignal hoch ist.

Der Entscheidungsblock 1109 gibt an, daß das Verfahren von dem Block 1104 N-fach wiederholt wird, wobei N eine digitale Zahl ist, die in dem Kalibrierungsaufzeichnungsgerät programmiert ist. Die Wiederholung dieses Zyklus vom Block 1104 bis zu dem Block 1109 ist erforderlich, wenn sich die Verzögerung der Verzögerungsleitung 206 an die Periodendauer der Zeitreferenz CLK 932 annähert, da zu diesem Zeitpunkt der Phasendetektor 944 in eine instabile Betriebsart eintritt, bei der das Ausgangssignal ungewiß wird. Daher muß das Ausgangssignal auf seine Wahrscheinlichkeit hin untersucht werden. Mit zunehmendem Wert N nimmt die Wahrscheinlichkeit zu, daß das Ausgangssignal korrekt ermittelt ist.

Bei dem Entscheidungsblock 1110 führt das System eine Bestimmung durch, ob der Zählwert, der als Kalibrierungsaufzeichnungszählwert gespeichert ist und die Gesamtzahl von Malen darstellt, bei denen der Phasendetektor 944 das Ergebnis einer logischen "1" geliefert hat, größer ist oder gleich einem externen, unabhängig programmierbaren Schwellenwert. Falls diese Bedingung nicht erfüllt ist, werden die Feinverzögerungselement-kondensatoren um eine Einstellung erhöht, wie dies durch den Block 1191 verdeutlicht ist, woraufhin das  
50 Verfahren von dem Block 1104 wiederholt wird. Falls die Entscheidung bei dem Block 1110 positiv ist, so wird das erste feine Verzögerungselement nunmehr auf die gewünschte Feinverzögerung bezüglich photolithographischer Variationen auf dem Chip kalibriert, wie dies durch den Block 1112 dargestellt ist, wobei das diesbezügliche Ergebnis in dem RAM 912 abgespeichert wird.

Da das Verfahren vielfache feine Verzögerungseinstellungen mit sich bringt, wird bei dem Block 1114 überprüft, ob alle Feinverzögerungseinstellungen kalibriert worden sind. Falls dies nicht der Fall ist, werden die Feinverzögerungselementekondensatoren auf eine Minimaleinstellung geschaltet, wie dies bei dem 1115 gezeigt ist. Dann wird die Bezugszeit CLK 932 um eine Verzögerungselementauflösung erhöht, wie dies durch den Block 1116 gezeigt ist. Das Verfahren wird dann von dem Block 1104 für die nächste Feinverzögerungseinstellung wiederholt. Wie in dem Block 1117 gezeigt ist, ist das Kalibrierungsverfahren für das Feinverzögerungselement vervollständigt, wenn alle Feinverzögerungseinstellungen kalibriert sind.

65 Fig. 12 ist ein Blockdiagramm eines bevorzugten Verfahrens für die Grobverzögerungskalibrierung zur Kompensation von Schaltungsfehlanspassungen in den Grobverzögerungselementen. Im wesentlichen werden die Grobverzögerungselemente zur Kompensation von photolithographischen Variationen auf dem Schaltungschip kalibriert sowie zur Kompensation von Veränderungen durch die Abgriffsverzögerungsleitung kalibriert.

Das Grobverzögerungskalibrierungsverfahren beginnt bei dem Block 1201 mit der Einstellung der Zeitreferenz (CLK 932) auf eine gewünschte Frequenz. Dann wird bei dem Block 1202 die Kondensatoreinstellung eines ersten Grobverzögerungselementes innerhalb der PNMOS-geschalteten ODER-Abgriffsverzögerungsleitung 206 auf die Minimumeinstellung programmiert. Es sei angemerkt, daß diese Minimumeinstellung der Gesamtverzögerung vermindert um die "gewünschte Verzögerung" entspricht.

Das Grobverzögerungskalibrierungsverfahren, welches in den Blöcken 1204 bis 1211 gezeigt ist, ist sehr ähnlich verglichen mit dem Verfahren, das oben unter Bezugnahme auf Fig. 11 und dort auf die Blöcke 1104 bis 1111 erläutert ist. Eine detaillierte Diskussion der Blöcke 1204 bis 1211 wird daher fortgelassen. Falls jedoch die Entscheidung bei dem Block 1210 positiv ist, wird das erste Grobverzögerungselement auf die gewünschte Grobverzögerung bezüglich der auf dem Chip vorliegenden photolithographischen Variationen kalibriert, wobei dieses Ergebnis in dem Register 918 gespeichert wird, wie dies durch den Block 1212 verdeutlicht ist.

Da das Verfahren gemäß Fig. 12 vielfältige Grobverzögerungselemente in Betracht zieht, wird bei dem Entscheidungsblock 1214 überprüft, ob alle Grobverzögerungselemente kalibriert worden sind. Falls dies nicht der Fall ist, werden die Feinverzögerungskondensatoren auf eine gewünschte Auflösung geschaltet, wie dies bei dem Schritt 1215 gezeigt ist. Dann wird die Zeitreferenz CLK 932 um eine Verzögerungselementeauflösung erhöht, wie dies bei dem Block 1216 gezeigt ist, wobei tatsächlich ein nächstes Grobverzögerungselement in die Kalibrierung einbegriffen wird. Das Verfahren wird dann von dem Block 1204 für dieses nächste Grobverzögerungselement ausgehend wiederholt. Wie der Block 1217 zeigt, ist dieses Grobverzögerungselementekalibrierungsverfahren beendet, wenn sämtliche Grobverzögerungselemente kalibriert sind.

#### Patentansprüche

1. Verfahren zum Kalibrieren einer steuerbaren Verzögerungsschaltung (101) für die einstellbare zeitliche Verzögerung der positiven (Fig. 5) und/oder negativen (Fig. 6) Flanken eines Eingangssignales (102, 203) in Abhängigkeit von Verzögerungssteuerdaten, die wenigstens einen ersten Datenwert für einen fein unterteilten Verzögerungsbereich und einen zweiten Verzögerungsdatenwert für einen grob unterteilten Verzögerungsbereich umfassen, mit folgenden Verfahrensschritten:

- (1) Einstellen einer Zeitreferenz (932) auf eine gewünschte Frequenz;
- (2) Einstellen eines ersten Verzögerungselementes auf eine minimale Verzögerung durch ein Steuersignal (PCNTRL), das seinerseits durch die Verzögerungssteuerdaten (N) eingestellt ist;
- (3) eingangsseitiges Zuführen des Eingangssignales (203) zu der steuerbaren Verzögerungsschaltung;
- (4) Vergleichen der Phase des Ausgangssignales (102, 204) der Verzögerungsschaltung mit der Phase eines Systemtaktes (942) mittels eines Phasendetektors (944), um ein Phasendetektorausgangssignal (946) zu erzeugen, wobei das Phasendetektorausgangssignal einen ersten Wert annimmt, falls die Verzögerung des Ausgangssignales (102, 204) kleiner ist als die Periodendauer des Systemtaktes (942), und ansonsten einen zweiten Wert annimmt;
- (5) Aufzeichnen des Phasendetektorausgangssignales in einer Zählereinrichtung zum Zählen der Anzahl von Malen, die das Phasendetektorausgangssignal den ersten Wert annimmt;
- (6) Durchführen der Schritte (3), (4) und (5) bis die Anzahl von Malen, die das Phasendetektorausgangssignal den ersten Wert annimmt, einer Maximalzahl entspricht, die durch die Verzögerungssteuerdaten (N) eingestellt ist;
- (7) Erhöhen der Verzögerungselementeinstellung in dem Schritt (2) und Wiederholen des Verfahrens beginnend ab dem Schritt (3), falls die Anzahl von Malen, die das Phasendetektorausgangssignal den ersten Wert annimmt, größer als ein Schwellenwert ist oder diesem gleicht.

2. Verfahren nach Anspruch 1, gekennzeichnet durch folgenden zusätzlichen Verfahrensschritt:

- (8) Speichern der Verzögerungselementeinstellung in einer Speichereinrichtung zum Speichern von Daten und Inkrementieren der Zeitreferenz im Schritt (1) und Wiederholen des Verfahrens beginnend ab dem Schritt (3), falls die Anzahl von Malen, die das Phasendetektorausgangssignal den ersten Wert annimmt, nicht größer als ein Schwellenwert ist oder diesem gleicht.

3. Verfahren nach Anspruch 1 oder 2, dadurch gekennzeichnet, daß das Verfahren eine Kalibrierung durch Kompensation von Schaltungsfehlpassungen innerhalb der Grobverzögerungselemente vornimmt.

4. Verfahren nach einem der Ansprüche 1 bis 3, dadurch gekennzeichnet, daß das Verfahren eine Kalibrierung durch Kompensation von Schaltungsfehlpassungen der Feinverzögerungselemente vornimmt.

5. Verfahren nach einem der Ansprüche 1 bis 4, dadurch gekennzeichnet, daß die Kalibrierung der Zeitfeineinstellvorrichtung (106) durch Kalibrieren eines Steuerspannungseingangssignales (112) für die Zeitfeineinstellvorrichtung (106) vorgenommen wird,

daß bei dem Schritt (2) das Spannungsteuereingangssignal (112) auf einen ersten Pegel eingestellt wird, und daß bei dem Schritt (7) das Erhöhen der Verzögerungselementeinstellung durch Erhöhen des Steuerspannungseingangssignales (112) vorgenommen wird.

6. Verfahren nach Anspruch 5, dadurch gekennzeichnet, daß der Schwellenwert programmierbar ist.

Hierzu 12 Seite(n) Zeichnungen

- Leerseite -

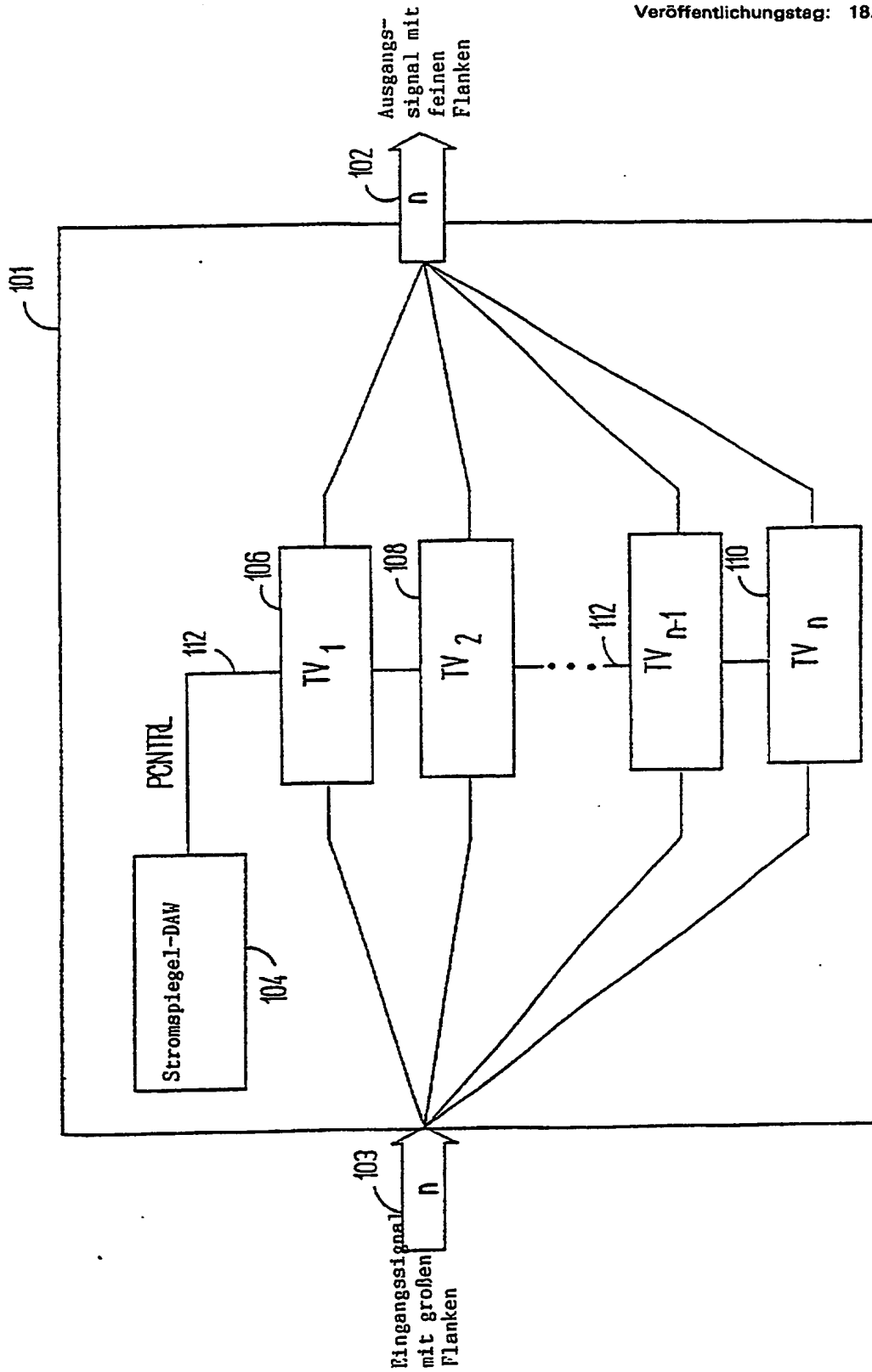


FIG 1

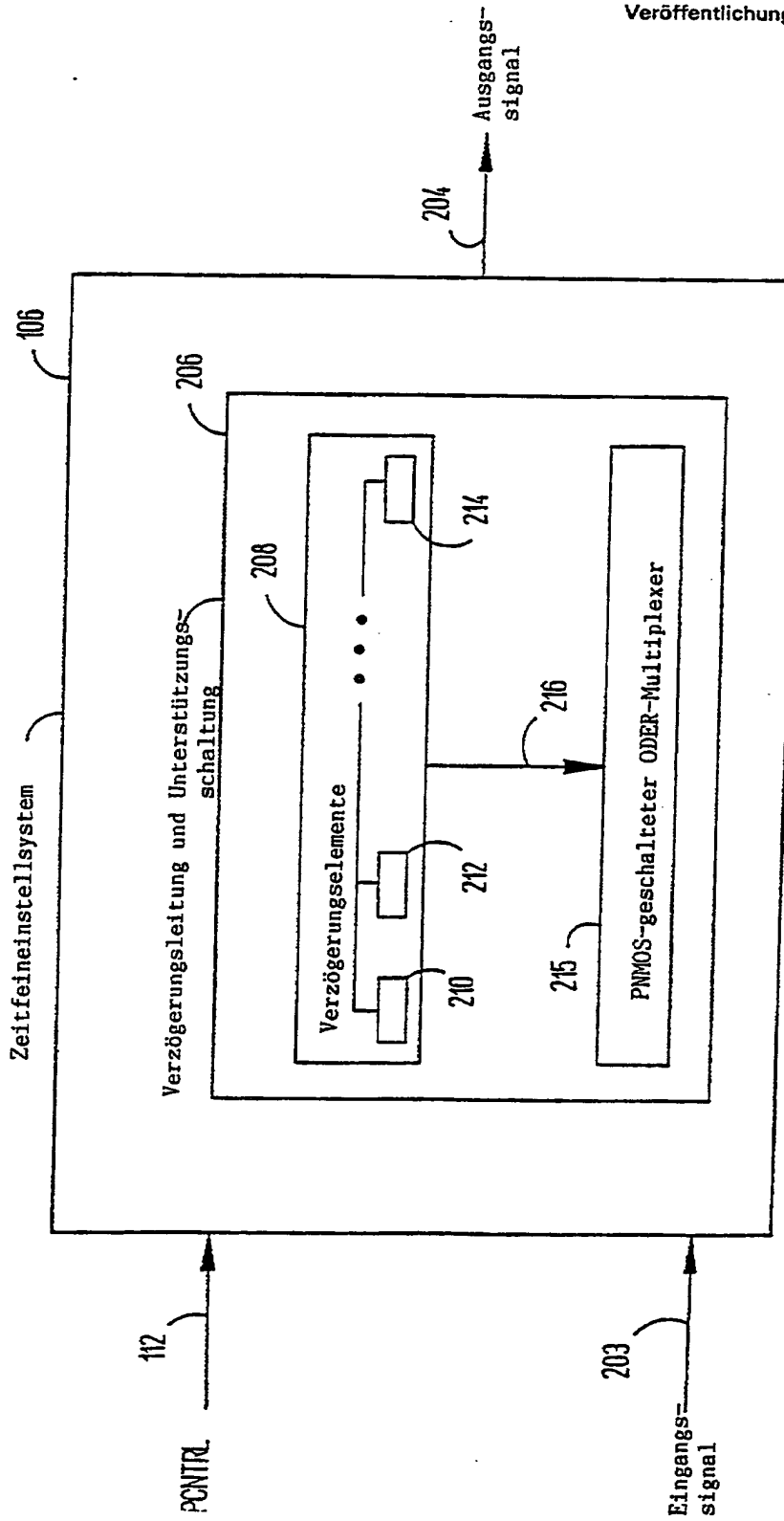


FIG 2



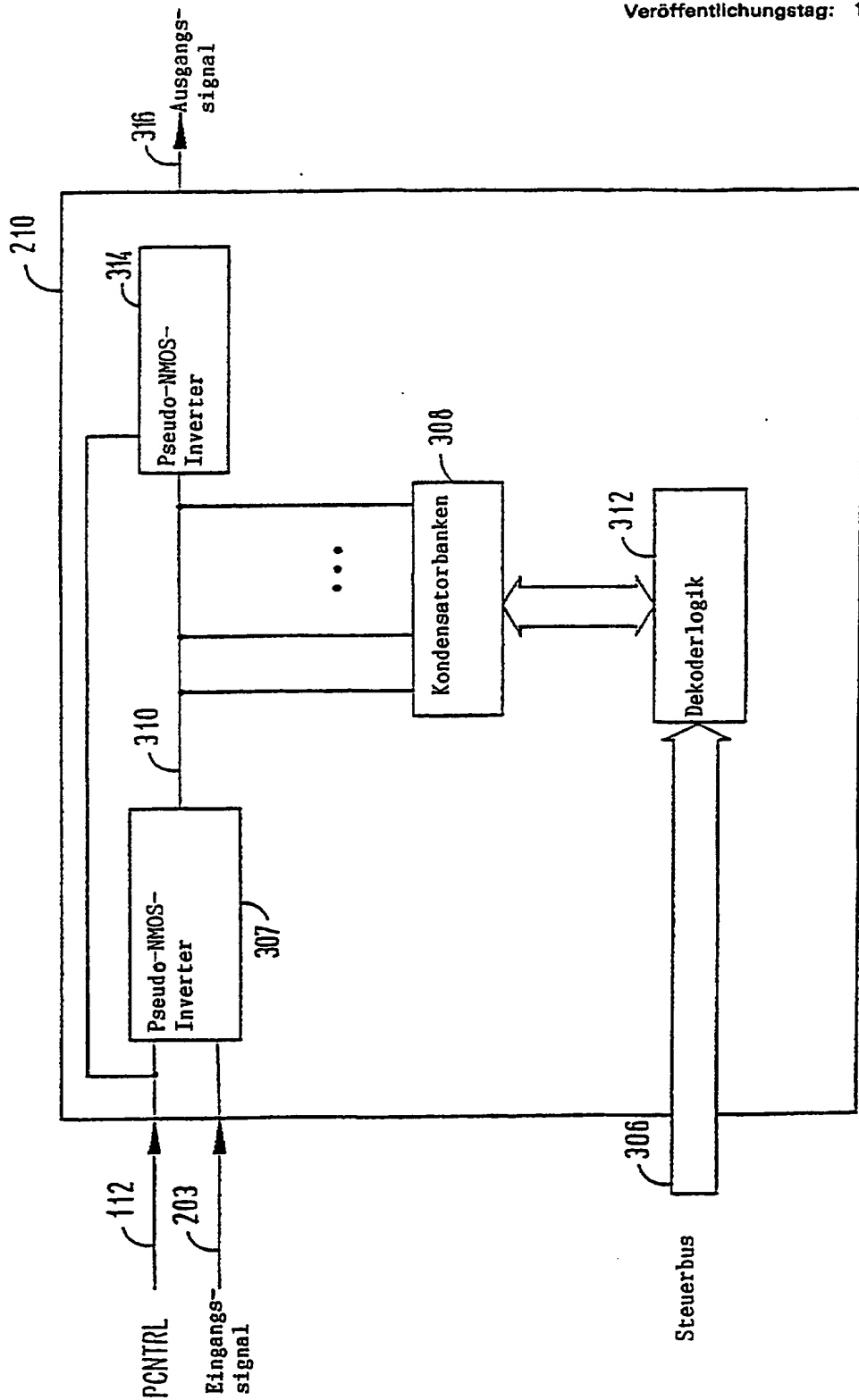


FIG 3

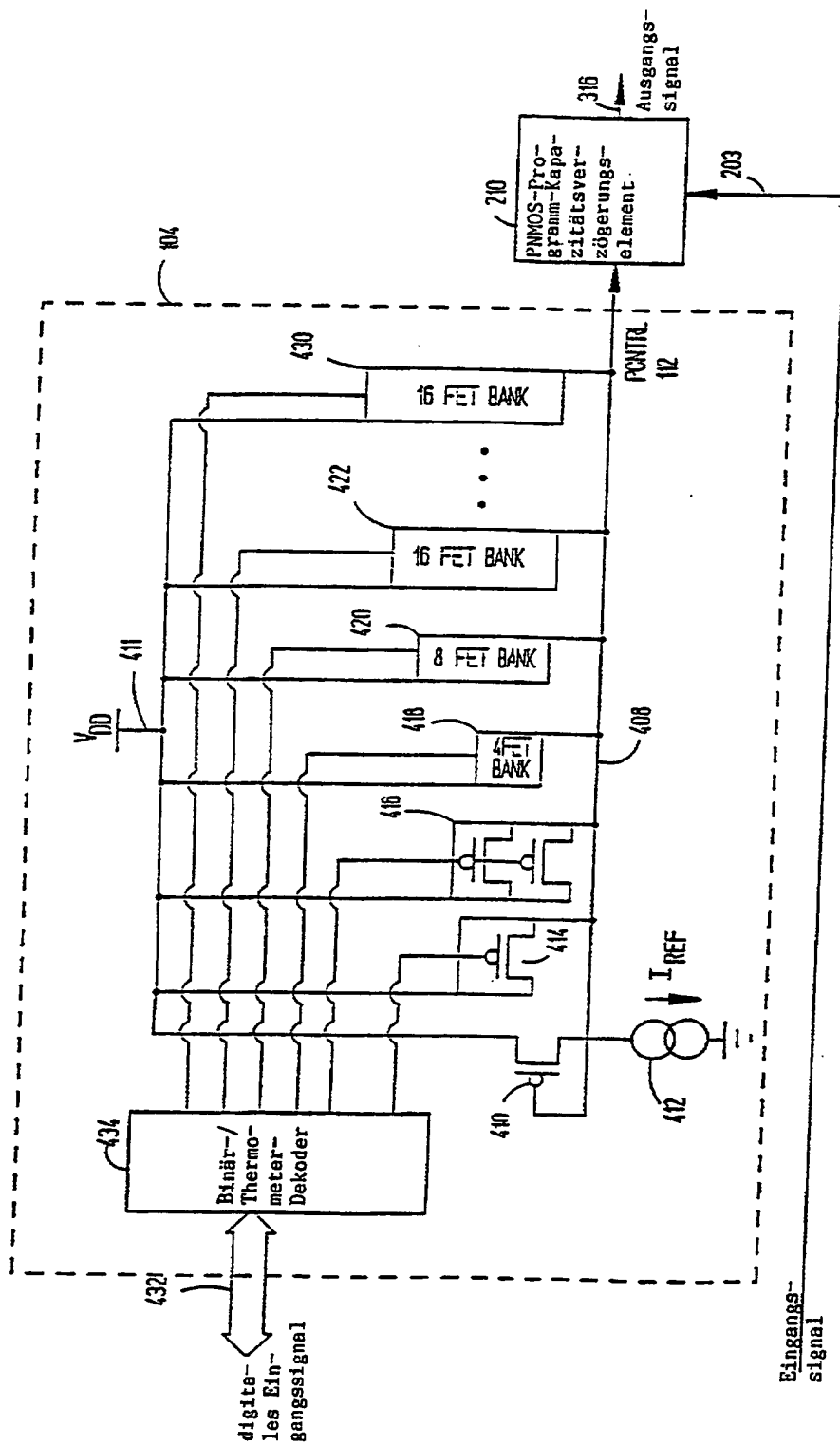
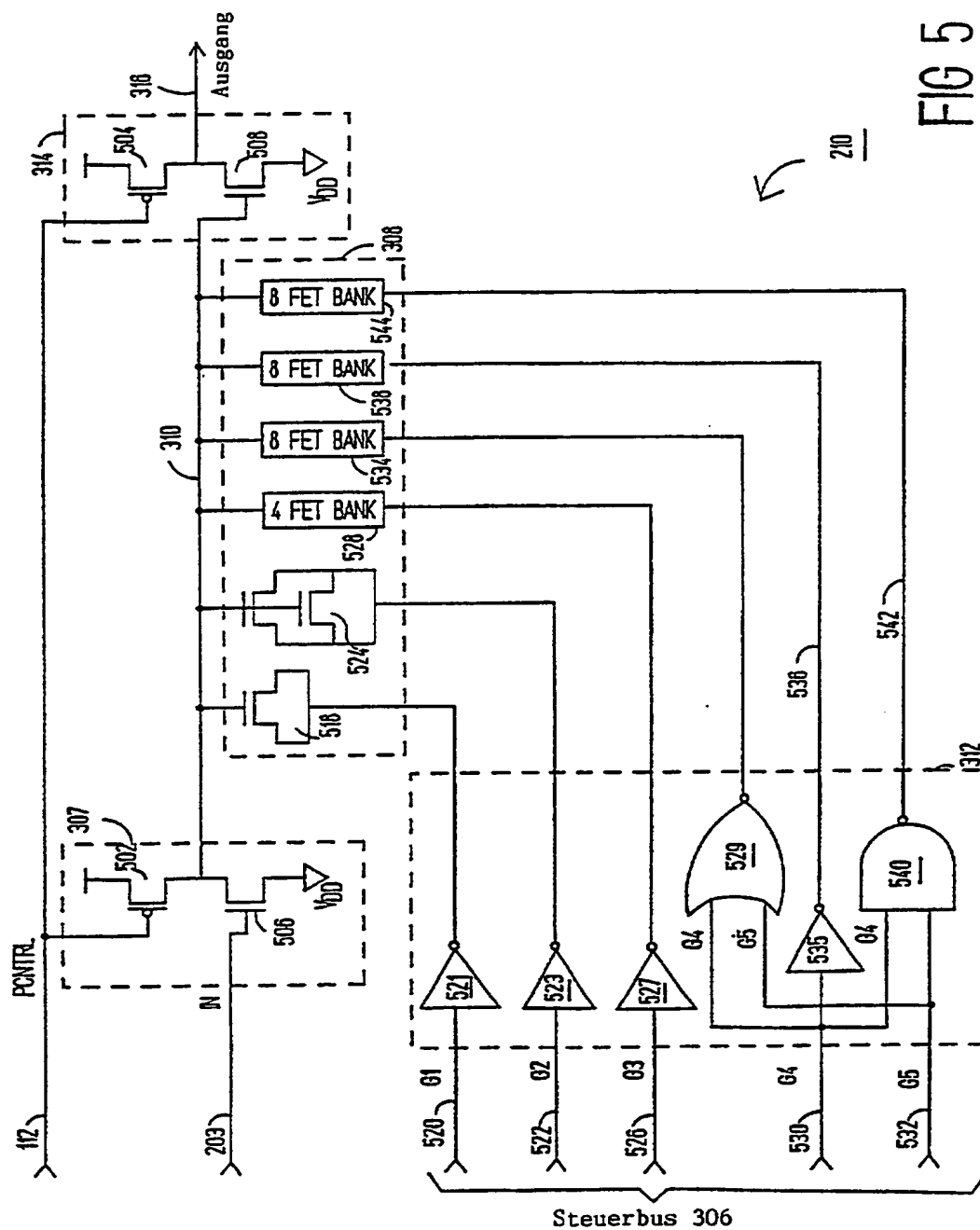


FIG 4



56E

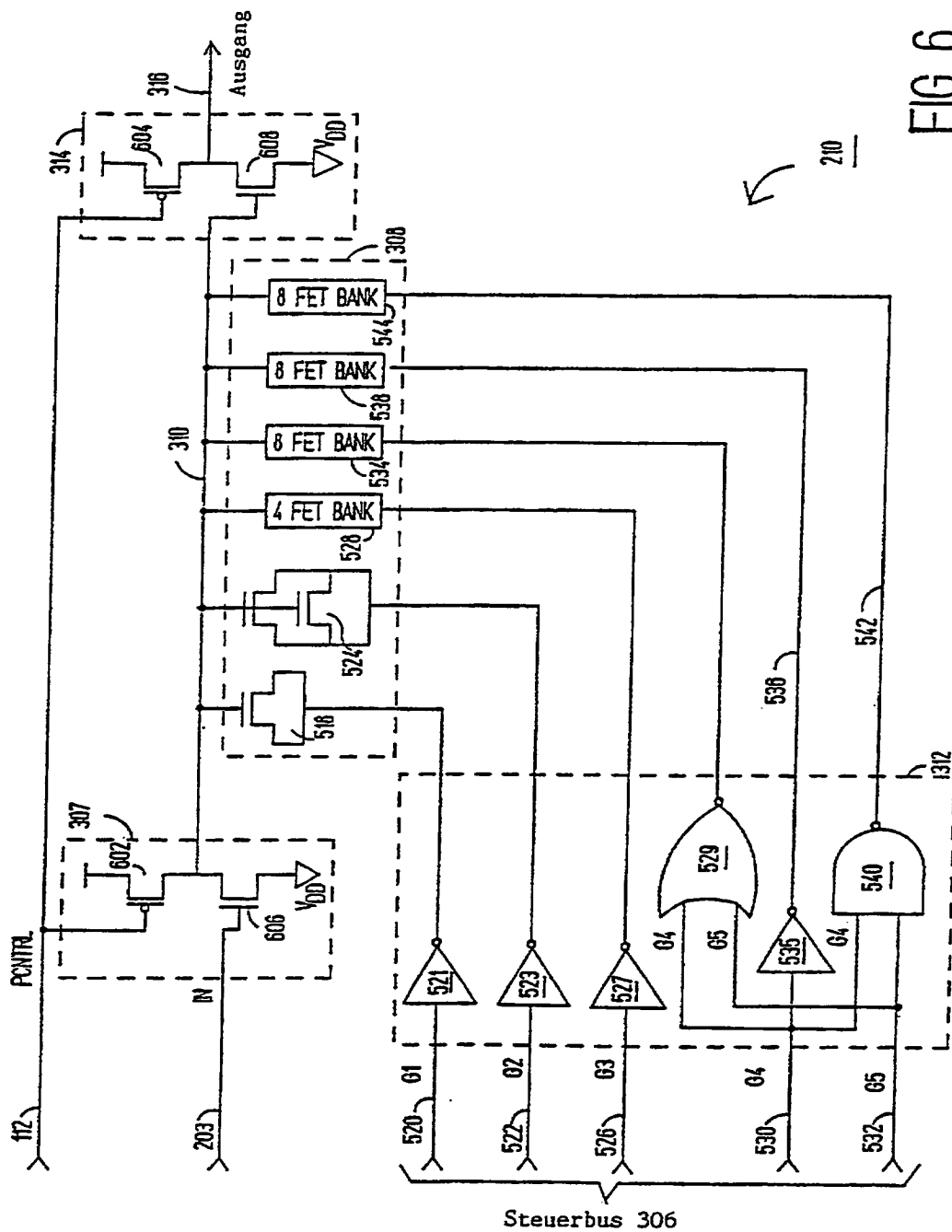


FIG 6

206

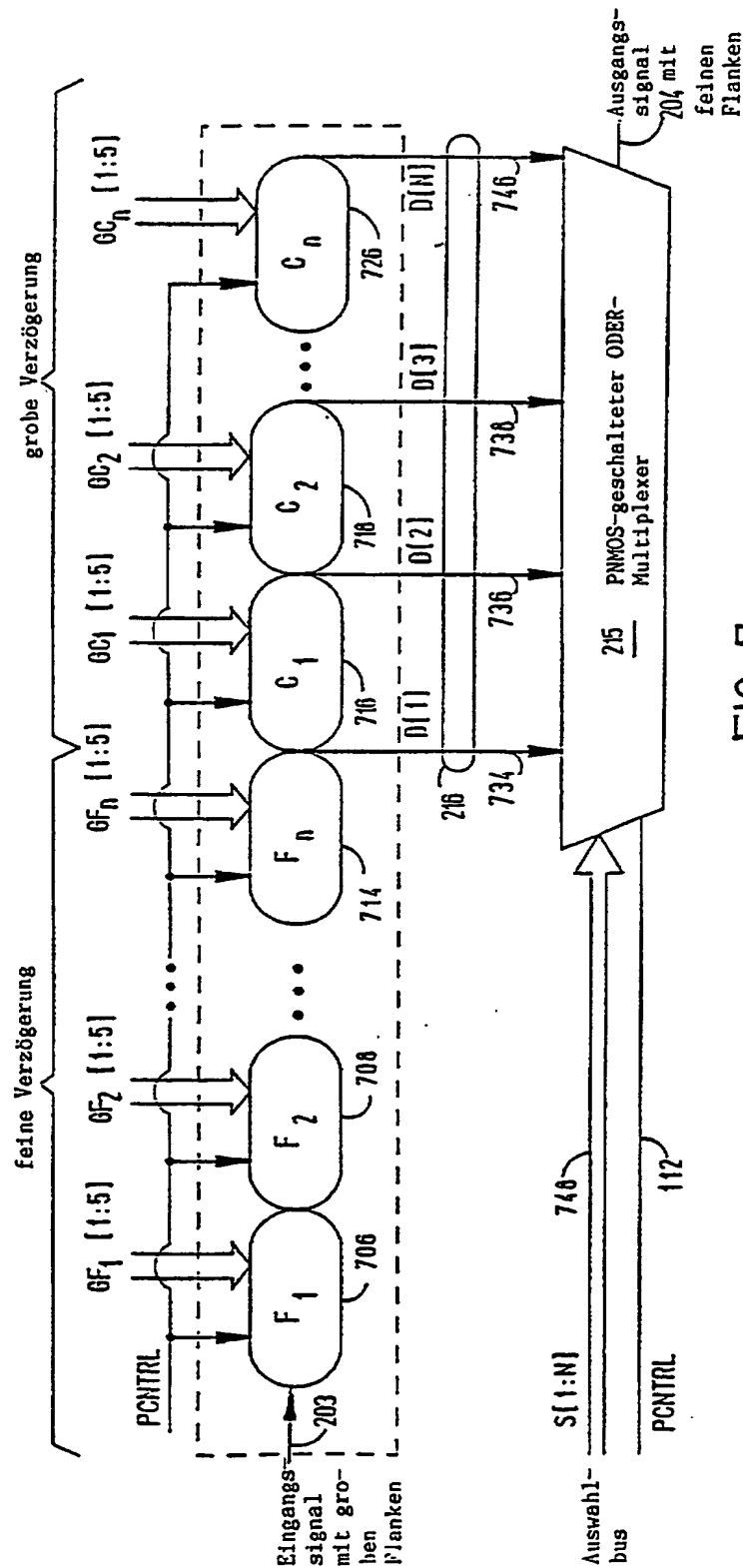
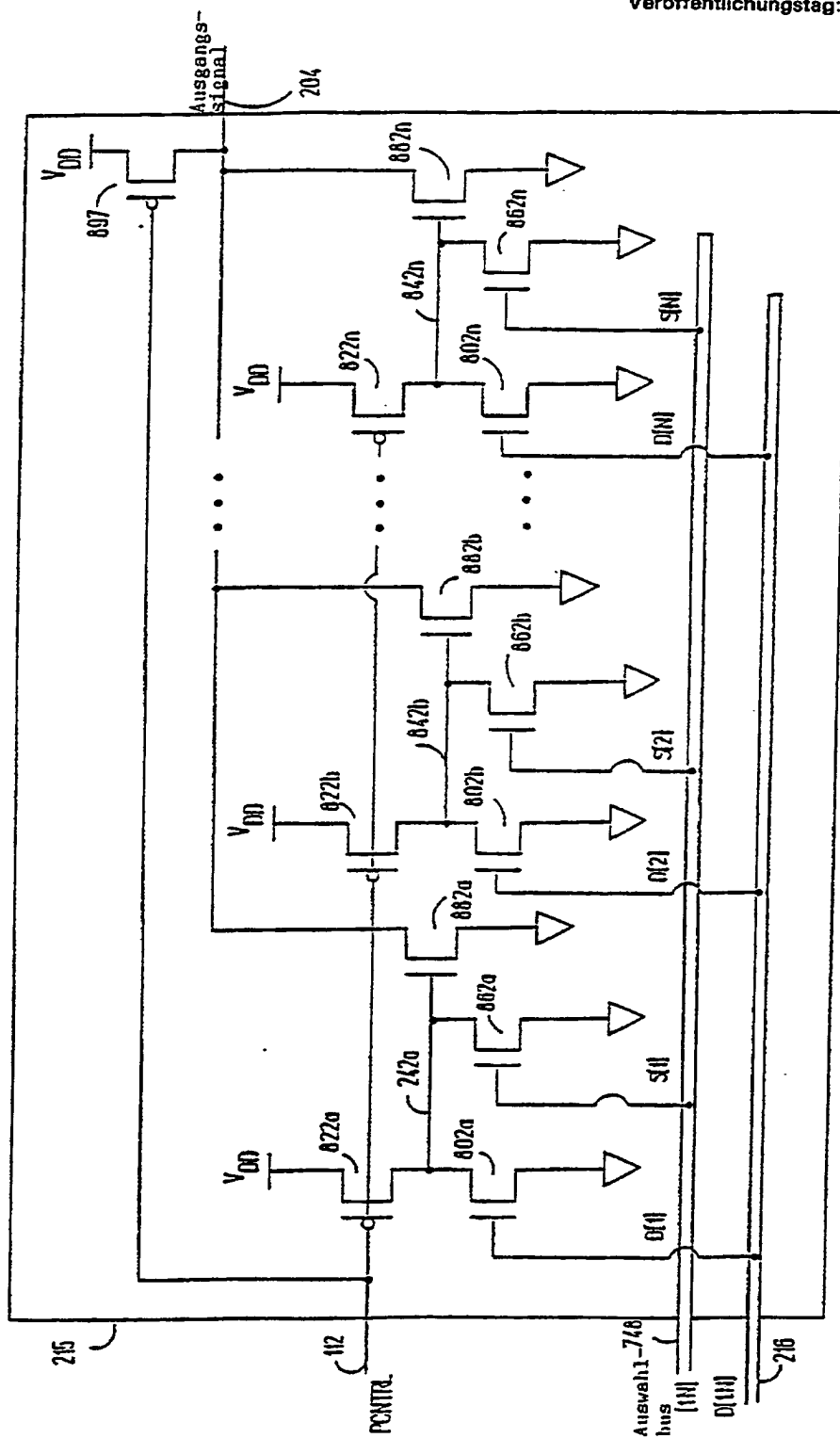


FIG 7



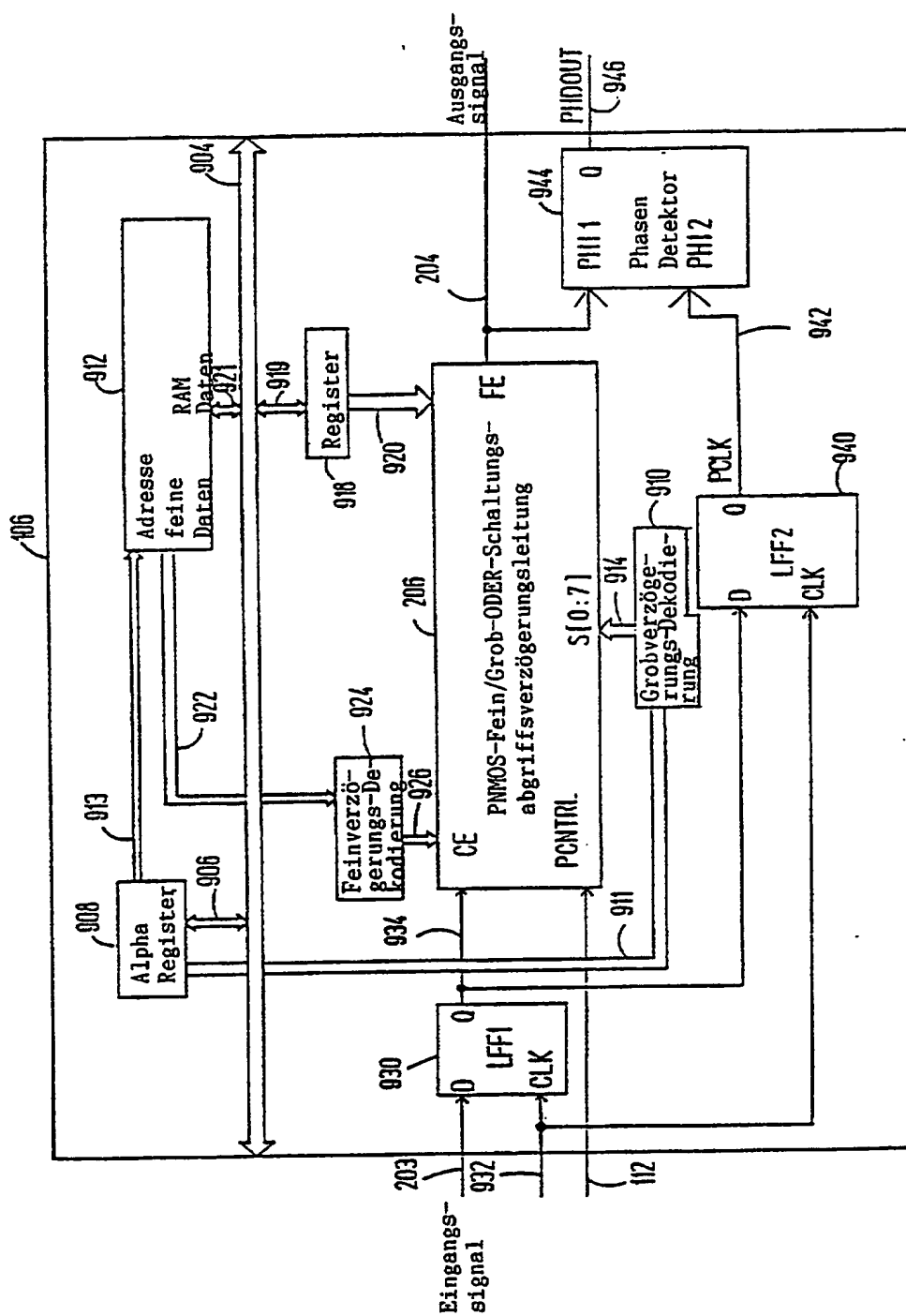


FIG 9

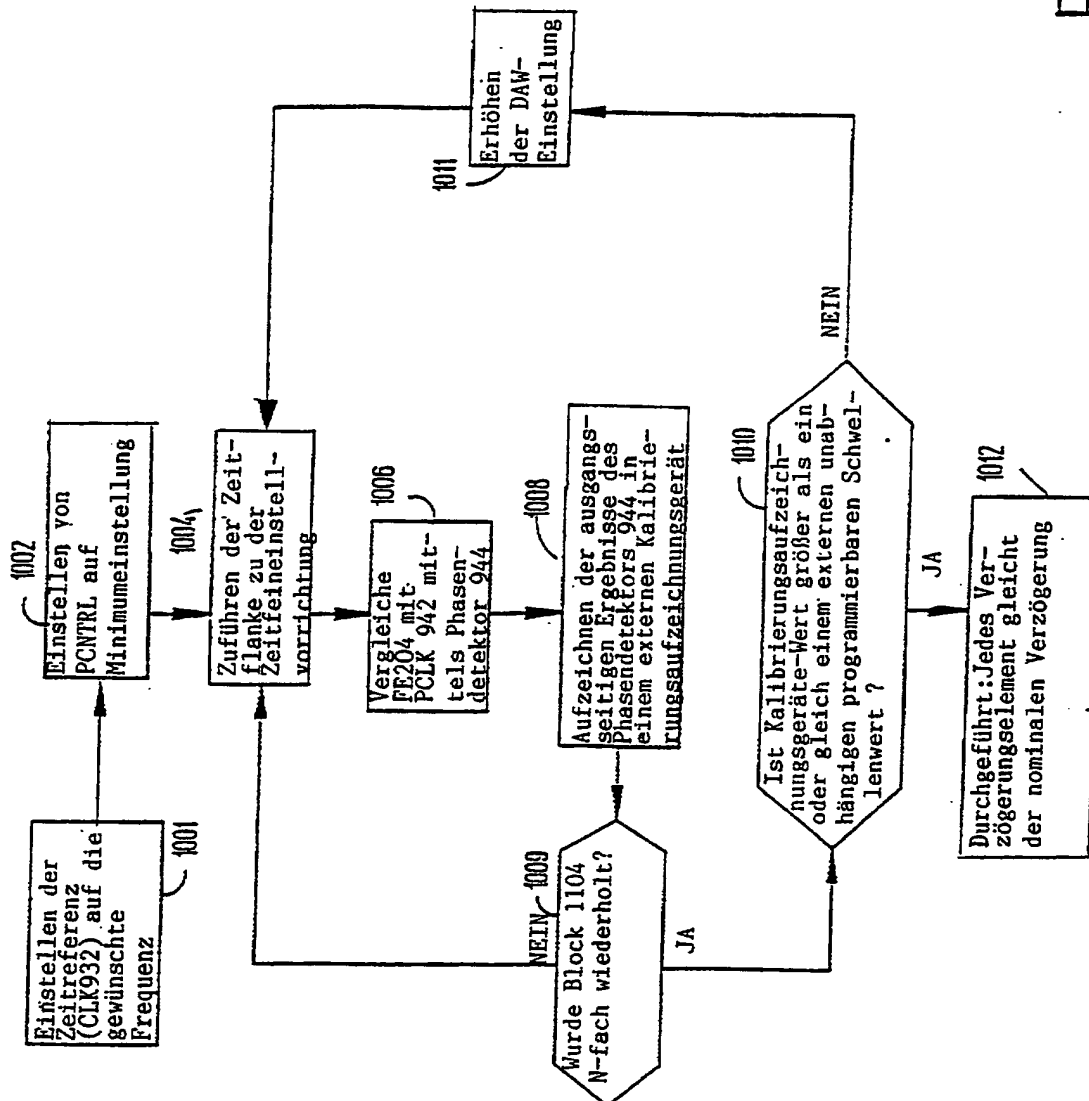


FIG 10



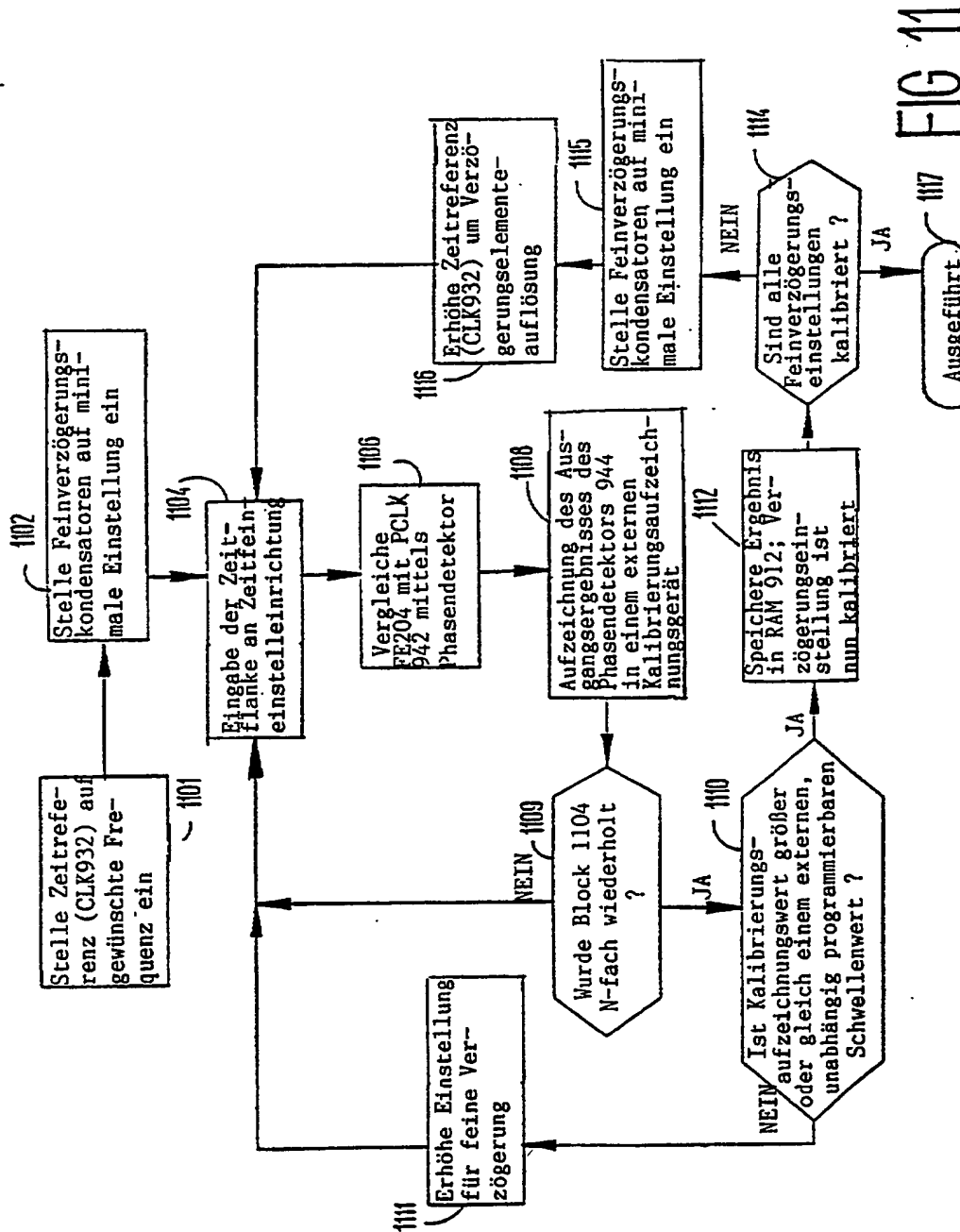
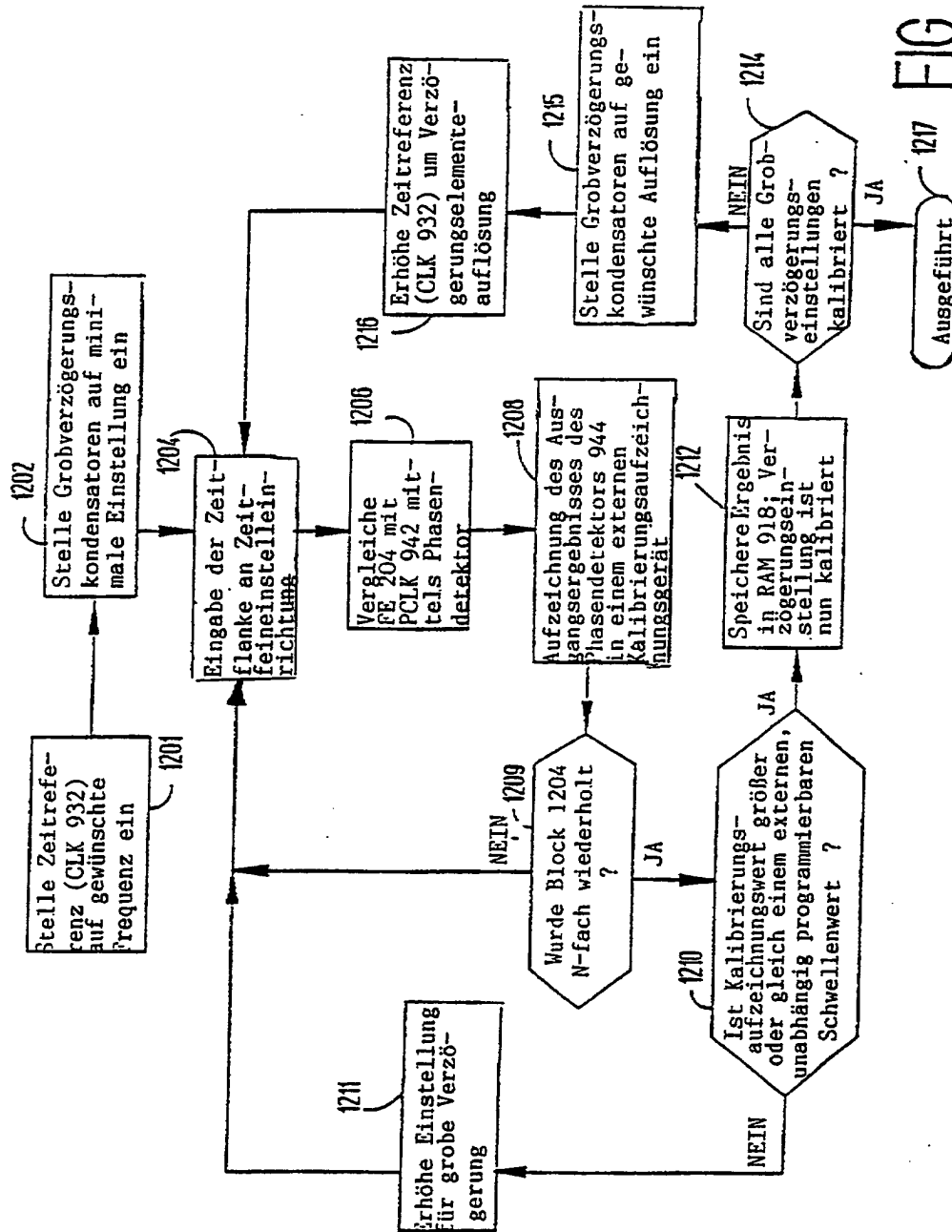


FIG 11



Docket # GR 0071667

Applic. # 09/826,234

Applicant: Nikutta

Lerner and Greenberg, P.A.

Post Office Box 2480

Hollywood, FL 33022-2480

Tel: (954) 925-1100 Fax: (954) 925-1101

508 120/234